

# R0P751RLC0011RL

ユーザーズマニュアル

SH7751R評価用プラットフォーム

User's Manual

Rev.1.00  
発行：2006年3月14日

ルネサス テクノロジ  
[www.renesas.com](http://www.renesas.com)

#### 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

#### 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズム その他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

## はじめに

この度は、株式会社ルネサス ソリューションズ製SH7751R評価用プラットフォームR0P751RLC0011RL(以下SH7751Rボード)をご購入いただき、誠にありがとうございます。

本資料は、R0P751RLC0011RLの仕様とセットアップ方法を中心に説明するものです。

本製品の梱包内容は、本資料の「1.1 梱包内容 (12ページ)」に記載していますので確認してください。なお、本製品についてお気付きの点がございましたら、最寄りの株式会社ルネサス テクノロジ、株式会社ルネサス ソリューションズ、株式会社ルネサス販売または特約店へお問い合わせください。

## ホームページとサポート窓口

株式会社ルネサス テクノロジのホームページ及びお問い合わせ先は、以下の通りです。

株式会社ルネサス テクノロジ ホームページ

<http://japan.renesas.com/>

お問い合わせ先

[csc@renesas.com](mailto:csc@renesas.com)

## 保証の範囲

ルネサスは、お客様が製品をご購入された日から30日間は、無償で故障品を交換いたします。ただし、

- ( 1 ) 製品の誤用、濫用、またはその他異常な条件下での使用
- ( 2 ) ルネサス以外の者による改造、修理、保守、またはその他の行為
- ( 3 ) ユーザシステムの内容、または使用
- ( 4 ) 火災、地震、またはその他の事故

により、故障が生じた場合は、ご購入日から30日以内でも有償で交換を行いません。

また、日本国内で購入され、かつ、日本国内で使用されるものに限りです。

## 重要事項

本製品をご使用になる前に、必ず本資料をよく読んで理解してください。  
また、本資料は必ず保管し、使用上不明な点がある場合は再読してください。

本製品とは：

本資料において本製品とは、株式会社ルネサスソリューションズが製作した次の製品を指します。お客様のユーザシステムおよびホストマシンは含みません。

本製品の使用目的：

本製品は、ルネサス32ビットRISCマイクロプロセッサ SuperH Risc engineファミリ SH7751Rを使用したシステムの開発を支援する装置です。ソフトウェアとハードウェアの両面から、システム開発を支援します。

この使用目的に従って、本製品を正しく使用してください。本目的以外の使用を堅くお断りします。

本製品を使用する人は：

本製品は、本資料をよく読み、理解した人のみをご使用ください。本製品を使用する上で、電気回路、論理回路およびマイクロコンピュータの基本的な知識が必要です。

本製品ご利用に際して：

- (1)本製品は、プログラムの開発、評価段階に使用する開発支援装置です。開発の完了したプログラムを量産される場合には、必ず事前に実装評価、試験などにより、お客様の責任において適用可否を判断してください。
- (2)本製品を使用したことによるお客様での開発結果については、一切の責任を負いません。
- (3)弊社は、本製品不具合に対する回避策の提示または、不具合改修などについて、有償もしくは無償の対応に努めます。ただし、いかなる場合でも回避策の提示または不具合改修を保証するものではありません。
- (4)本製品は、プログラムの開発、評価用に実験室での使用を想定して準備された製品です。国内の使用に際し、電気用品安全法及び電磁波障害対策の適用を受けておりません。
- (5)弊社は、潜在的な危険が存在するおそれのあるすべての起こりうる諸状況や誤使用を予見できません。したがって、本資料と本製品に貼付されている警告がすべてではありません。お客様の責任で、本製品を正しく安全に使用してください。
- (6)本製品は、ULなどの安全規格、IECなどの規格を取得しておりません。したがって、日本国内から海外に持ち出される場合は、この点をご承知おきください。
- (7)本製品は、プログラムの開発、評価段階に使用する製品です。お客様の製品に組み込んで量産することはできません。
- (8)本製品に搭載されているデバイスに不具合がある場合であっても、デバイスの不具合改修品には交換しません。
- (9)本製品のROMに格納されているソフトウェアすべて、もしくは一部を、他のハードウェアにコピーして使用することを禁止します。
- (10)CFカードは、すべてのデバイスで動作を保証することはできません。
- (11)LANインタフェースは、すべての機器との接続を保証することはできません。
- (12)長時間使用しない時は、安全のため電源プラグをコンセント等から抜いて保管してください。
- (13)本製品は鉛フリー実装製品です。
- (14)本資料中に掲載している各商品名は、一般に各メーカーの商標または登録商標です。

**使用制限：**

本製品は、開発支援用として開発したものです。したがって、お客様の機器に組み込んで使用しないでください。また、以下に示す開発用途に対しても使用しないでください。

- (1) 運輸、移動体用
- (2) 医療用（人命にかかわる装置用）
- (3) 航空宇宙用
- (4) 原子力制御用
- (5) 海底中継用

このような目的で本製品の採用をお考えのお客様は、株式会社ルネサス テクノロジ、株式会社ルネサス ソリューションズ、株式会社ルネサス販売または特約店へご連絡頂きますようお願い致します。

**製品の変更について：**

弊社は、本製品のデザイン、性能を絶えず改良する方針をとっています。したがって、予告なく仕様、デザイン、および本資料を変更することがあります。

**権利について：**

- (1) 本資料に記載された情報、製品または回路の使用に起因する損害または特許権その他権利の侵害に関しては、弊社は一切その責任を負いません。
- (2) 本資料によって第三者または弊社の特許権その他権利の実施権を許諾するものではありません。
- (3) 本資料および本製品は著作権で保護されており、すべての権利は弊社に帰属しています。本資料の一部であろうと全部であろうといかなる箇所も、弊社の書面による事前の承諾なしに、複写、複製、転載することはできません。

**図について：**

本資料の一部の図は、実物と違っていることがあります。

\* Compact Flash™は、サンディスク社の商標です。

## 安全事項

### シグナルワードの定義

本資料および製品への表示では、本製品を正しくご使用いただき、あなたや他の人々への危害や財産への損害を未然に防止するために、いろいろな絵表示をしています。

安全事項では、その絵表示と意味を示し、本製品を安全に正しくご使用されるための注意事項を説明します。ここに記載している内容をよく理解してからお使いください。



これは、安全警告記号です。潜在的に、人に危害を与える危険に対し注意を喚起するために用います。起こり得る危害又は死を回避するためにこの記号の後に続くすべての安全メッセージに従ってください。



**危険** 危険は、回避しないと、死亡または重傷を招く差し迫った危険な状況を示します。ただし、本製品では該当するものではありません。



**警告** 警告は、回避しないと、死亡または重傷を招く可能性がある潜在的に危険な状況を示します。



**注意** 注意は、回避しないと、軽傷または中程度の傷害を招く可能性がある潜在的に危険な状況を示します。

**注意**

安全警告記号の付かない注意は、回避しないと財物傷害を引き起こすことがある潜在的に危険な状況を示します。

**重要**

例外的な条件や注意を操作手順や説明記述の中で、ユーザに伝達する場合に使用しています。

上の5表示に加えて、適宜以下の表示を同時に示します。

△表示は、警告・注意を示します。

例：



⊘表示は、禁止を示します。

例：



●表示は、強制・指示する内容を示します。

例：



 **警告**

## 電源に関して：



- 付属のAC電源ケーブルがコンセントの形状に合わない場合、AC電源ケーブルを改造したり、無理に入れるなどの行為は絶対に行なわないでください。感電事故または火災の原因となります。
- 日本国外で使用する時は、その国の安全規格に適合しているAC電源ケーブルを使用してください。
- 濡れた手でAC電源ケーブルのプラグに触れないでください。感電の原因となります。
- 本製品と同じコンセントに他の装置を接続する場合は、電源電圧および電源電流が過負荷にならないようにしてください。
- 付属のACアダプタは他の製品へ接続しないでください。



- 使用中に異臭・異音がしたり煙が出る場合は、直ちに電源を切りAC電源ケーブルをコンセントから抜いてください。感電事故、または火災の原因になりますので、そのまま使用しないでください。
- 本製品の設置や他の装置との接続時には、AC電源を切るかAC電源ケーブルを抜いて怪我や故障を防いでください。

## 本製品の取り扱いに関して：



- 本製品を分解または改造しないでください。分解または改造された場合、感電などにより傷害を負う可能性があります。また分解または改造による故障については、修理を受け付けることができません。
- 基板、コネクタに水・金属片・可燃物などの異物を入れないでください。

## 設置に関して：



- 湿度が高いところおよび水などで濡れるところには設置しないでください。水などが内部にこぼれた場合、修理不能な故障の原因となります。
- 本製品は屋内で使用してください。

## 使用環境に関して：



- 本製品の使用における周辺温度の上限(最高定格周辺温度)は35 です。この最高定格周囲温度を越えないように注意してください。

## ⚠ 注意

本製品の取り扱いに関して：



- 本製品は慎重に扱い、落下・倒れなどによる強い衝撃を与えないでください。
- 通信インタフェースコネクタの端子や各コネクタの端子およびユーザシステム接続部コネクタの端子は、直接手で触らないでください。静電気により内部回路を破壊する恐れがあります。
- ボードに接続したケーブルで本製品を引っ張らないでください。また過度な曲げ方をしないでください。ケーブルが断線する恐れがあります。

目次	
はじめに	3
ホームページとサポート窓口	3
保証の範囲	3
重要事項	4
安全事項	6
1. 製品概要	12
1.1. 梱包内容	12
1.2. システム構成	13
1.2.1. システム構成	13
1.2.2. 各部の名称と機能	14
1.3. セットアップ方法(ブートローダ起動まで)	15
1.4. 仕様一覧	16
1.5. アドレスマップ	18
2. 機能仕様	19
2.1. 電源仕様	19
2.1.1. DCジャック入力電源	20
2.2. スイッチ仕様	20
2.2.1. CPUモード設定用DIPスイッチ	20
2.2.2. デバッグ用DIPスイッチ	21
2.2.3. 電源投入スイッチ	21
2.2.4. システムリセットスイッチ	21
2.2.5. マニュアルリセットスイッチ	22
2.3. LED仕様	23
2.3.1. SH7751Rステータス表示	23
2.3.2. Ethernet Hub用LED	23
2.3.3. CFカード用LED	23
2.3.4. USB Hub用LED	23
2.3.5. 電源表示用LED	23
2.3.6. デバッグ用LED	23
2.4. JTAGエミュレータインタフェース	24
2.5. メモリ	24
2.5.1. SHバスに接続される各デバイスへのアクセスタイミング設定	24
2.6. PCIデバイス	25
2.6.1. PCIカードコネクタ	25
2.6.2. CardBusカードインタフェース	25
2.6.3. LANインタフェース	25
2.6.3.1. MACアドレス割り当て	25
2.7. 2Dグラフィックコントローラインタフェース	26
2.7.1. CRTインタフェース	26
2.7.2. LCDインタフェース	27
2.7.3. LCDバックライト制御用インバータインタフェース	28
2.7.4. USBインタフェース	28
2.7.5. SM501拡張インタフェース	29
2.8. タッチパネルインタフェース	30
2.9. SHバス拡張インタフェース	31
2.10. シリアルインタフェース	38
2.11. CFカードインタフェース	38
2.12. FROMボードインタフェース	39
2.13. リアルタイムクロック	41
2.14. FPGA内蔵シリアルインタフェース	41
2.15. リセット信号について	42
2.15.1. パワーオンリセット	42
2.15.2. システムリセット	43
2.15.3. マニュアルリセット	43
2.15.4. CFカードへのリセット信号	43
3. FPGA機能説明	44
3.1. 端子機能	44

3.2.	内蔵レジスタアドレスマップ	49
3.3.	レジスタ説明	50
3.3.1.	割込みマスク制御レジスタ(IRLMSK)	50
3.3.1.1.	割込みの種類と優先順位について	51
3.3.2.	割込みステータス制御レジスタ(IRLMON)	52
3.3.3.	CFカードタイミング制御レジスタ(CFCTL)	53
3.3.3.1.	CFカードタイミング制御について	54
3.3.4.	CFカード電源供給制御レジスタ(CFPOW)	55
3.3.5.	RTCチップイネーブル制御レジスタ(RTCCE)	55
3.3.6.	PCI拡張スロットカード検出制御レジスタ(PCICD)	55
3.3.7.	タッチパネルコントロールブロック制御レジスタ(TP_CTL)	56
3.3.8.	タッチパネルTXCLK制御レジスタ(TP_TXCLK)	56
3.3.9.	タッチパネルコントロールブロックリセット制御レジスタ(TP_RST)	56
3.3.10.	タッチパネルXポジションリードデータ制御レジスタ(TP_XRD)	57
3.3.11.	タッチパネルYポジションリードデータ制御レジスタ(TP_YRD)	58
3.3.12.	SM501リセット制御レジスタ(SM501RST)	59
3.3.13.	CFカードリセット制御レジスタ(CFRST)	59
3.3.14.	外部拡張コネクタリセット制御レジスタ(EXTRST)	59
3.3.15.	CFカード挿入検出割込みクリア制御レジスタ(CFCDINTCLR)	60
3.3.16.	ボード電源OFF制御レジスタ(POWOFF)	60
3.3.17.	FPGAバージョン情報レジスタ(VERREG)	60
3.3.18.	汎用入力ポート制御レジスタ(INPORT)	61
3.3.19.	汎用出力ポート制御レジスタ(OUTPORT)	62
3.3.20.	ボードバージョン情報レジスタ(BVERREG)	63
3.3.21.	GPIOデータ0グループレジスタ(GPIO_DATA_0G)	64
3.3.22.	GPIOデータ1グループレジスタ(GPIO_DATA_1G)	66
3.3.23.	GPIOデータ2グループレジスタ(GPIO_DATA_2G)	68
3.3.24.	GPIOデータ3グループレジスタ(GPIO_DATA_3G)	70
3.3.25.	GPIO0グループDIRレジスタ(GPIO_DIR_0G)	71
3.3.26.	GPIO1グループDIRレジスタ(GPIO_DIR_1G)	72
3.3.27.	GPIO2グループDIRレジスタ(GPIO_DIR_2G)	73
3.3.28.	GPIO3グループDIRレジスタ(GPIO_DIR_3G)	74
3.3.29.	拡張ボードステータスレジスタ(EXT_PRST)	74
3.3.30.	FROMボードリセット出力制御レジスタ(FROMRST)	74
3.3.31.	LCDバックライト電源制御レジスタ(LCDPOW)	75
3.3.32.	SCIFシリアルモード制御レジスタ(SCSMR)	75
3.3.33.	SCIFビットレート制御レジスタ(SCBRR)	76
3.3.33.1.	SCBRRの設定値計算方法	76
3.3.34.	SCIF制御レジスタ(SCSCR)	77
3.3.35.	SCIF送信FIFOレジスタ(SCFTDR)	78
3.3.36.	SCIFステータス制御レジスタ(SCFSR)	79
3.3.36.1.	FPGA内蔵SCIFブロックの割込みについて	80
3.3.37.	SCIF受信FIFOレジスタ(SCFRDR)	81
3.3.38.	SCIF FIFO制御レジスタ(SCFCR)	82
3.3.39.	SCIF FIFOデータ数レジスタ(SCFDR)	83
3.3.40.	SCIFシリアルポートレジスタ(SCSPTR)	84
3.3.41.	SCIFラインステータスレジスタ(SCLSR)	85
4.	拡張ボード仕様	86
5.	ブートローダ機能説明	87
5.1.	ブートローダ機能一覧	87
5.2.	コマンド一覧表示	87
5.3.	CFカードからのプログラムロード	87
5.4.	ライセンスについてのメッセージ表示	87
5.5.	保証についてのメッセージ表示	87
5.6.	Ethernetを使用する際のzImageのロード	88
5.7.	zImage展開先へのプログラムカウンタ移動及び実行	88
5.8.	ボード情報表示	88
5.9.	ブートローダバージョン情報表示	88

---

6.	添付資料 .....	89
6.1.	R0P751RLC0011RL回路図 .....	89
6.2.	FROMボード回路図.....	89

## 1. 製品概要

### 1.1. 梱包内容

本製品は、以下の基板及び部品によって構成されます。開封されたときにすべて揃っているかを確認してください。

表1.1.1 梱包内容一覧

型名	説明	数量
R0P751RLC0011RL	SH7751R評価用プラットフォーム	1
FROMボード(バス幅32bit 64Mバイト)	R0P751RLC0011RL用ブートローダ書き込み済み	1
ACアダプタ	SH7751Rボード用ACアダプタ(DC12.0V 5.0A)	1
CD-ROM	マニュアル、サンプルプログラムなど	1

梱包製品についてお気づきの点がございましたら、最寄りの株式会社ルネサス テクノロジ、株式会社ルネサス ソリューションズ、株式会社ルネサス販売または特約店へお問い合わせください。

## 1.2. システム構成

### 1.2.1. システム構成

図1.2.1に本製品の機能構成図を示します。

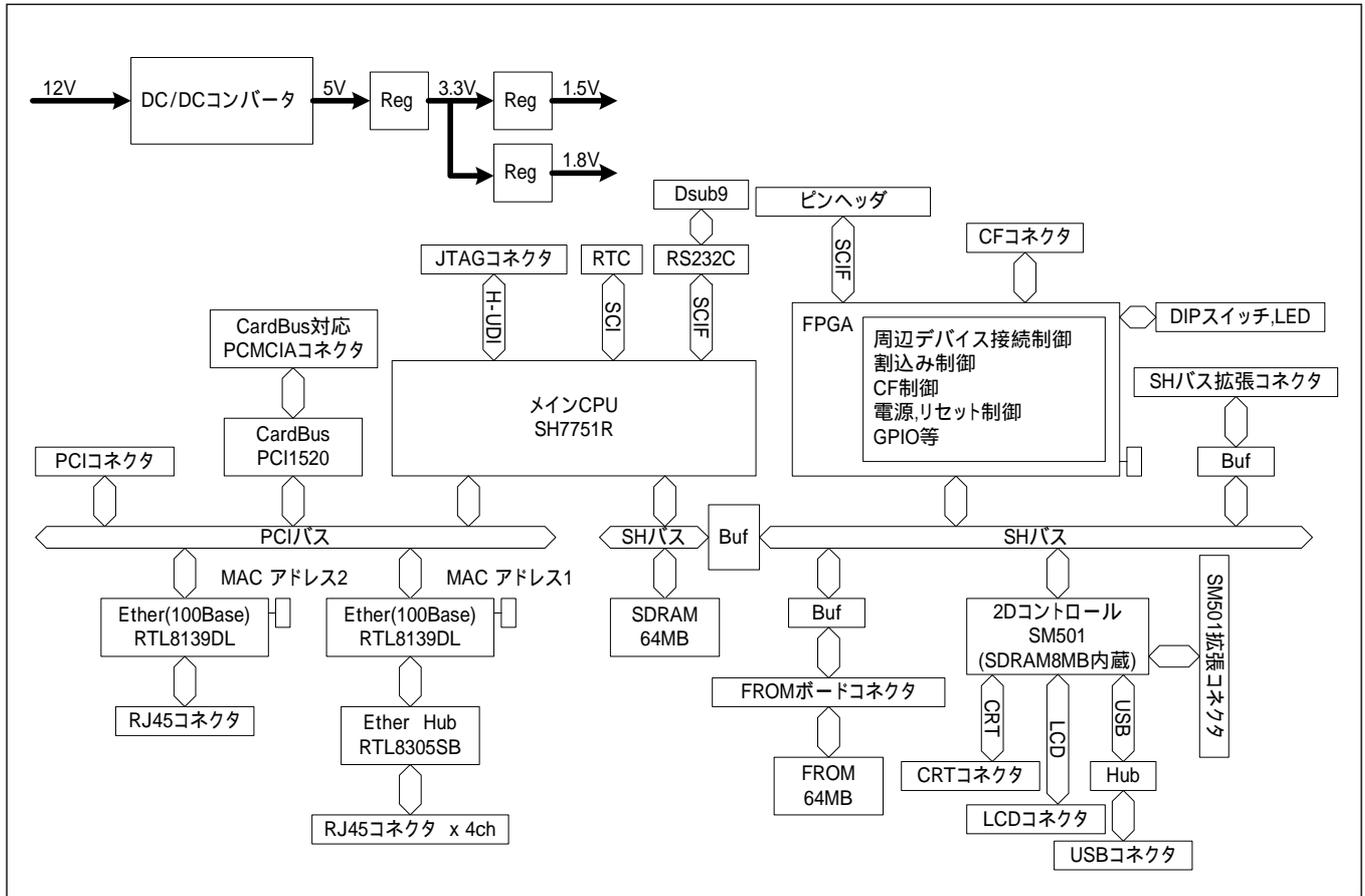


図1.2.1 R0P751RLC0011RL機能構成図

1.2.2. 各部の名称と機能

図1.2.2に本製品各部の名称を示します。

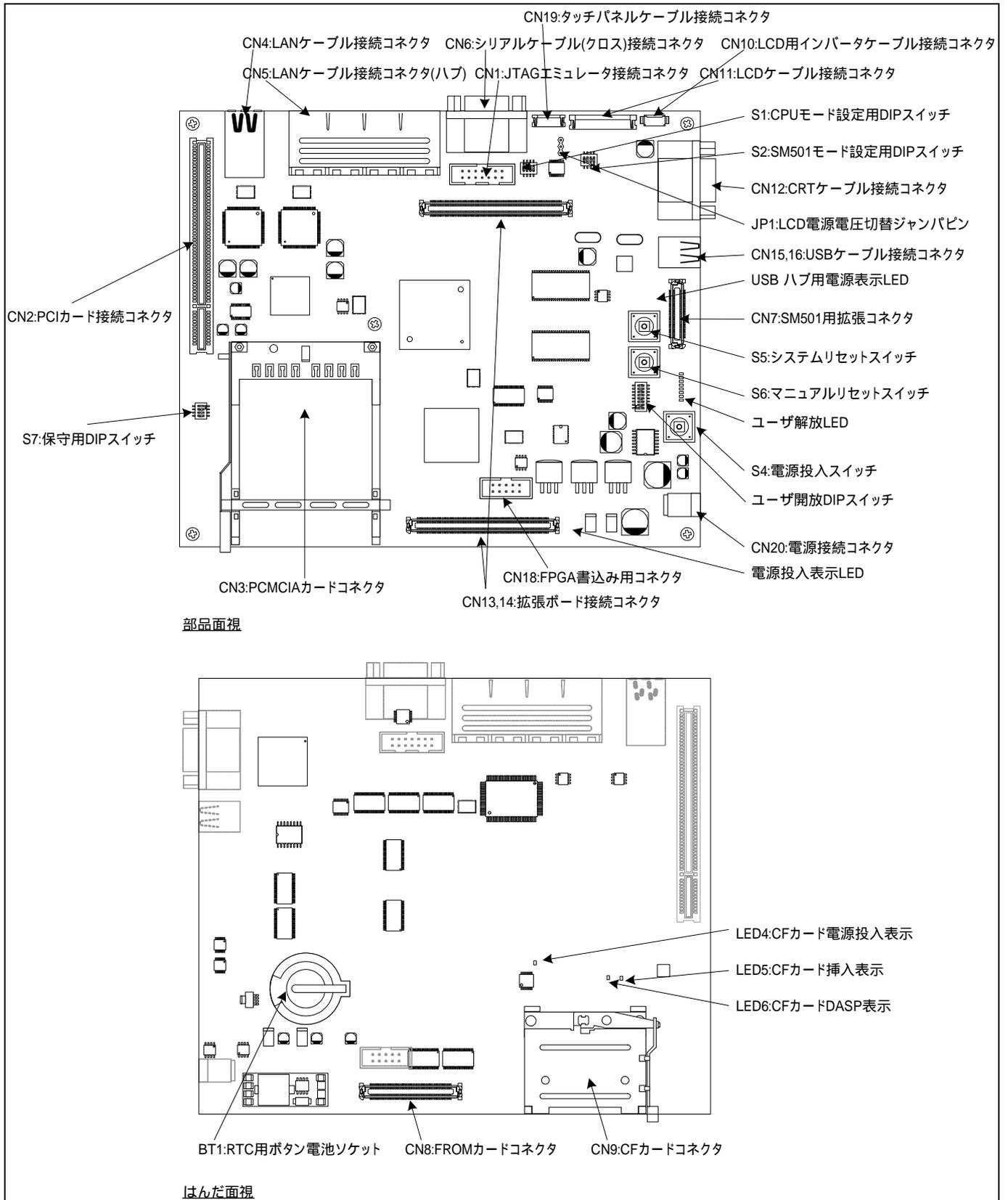


図1.2.2 R0P751RLC0011RL各部の名称

### 1.3. セットアップ方法(ブートローダ起動まで)

図1.3.1に本製品のセットアップ図を示します。本製品のセットアップに必要な環境は以下の通りです。

コンソール用端末(シリアルポートまたは、USBシリアル変換ケーブル)

RS232Cクロスケーブル

CFカード、CRTモニタ、ネットワーク環境等は必要に応じてお客様で御準備ください。

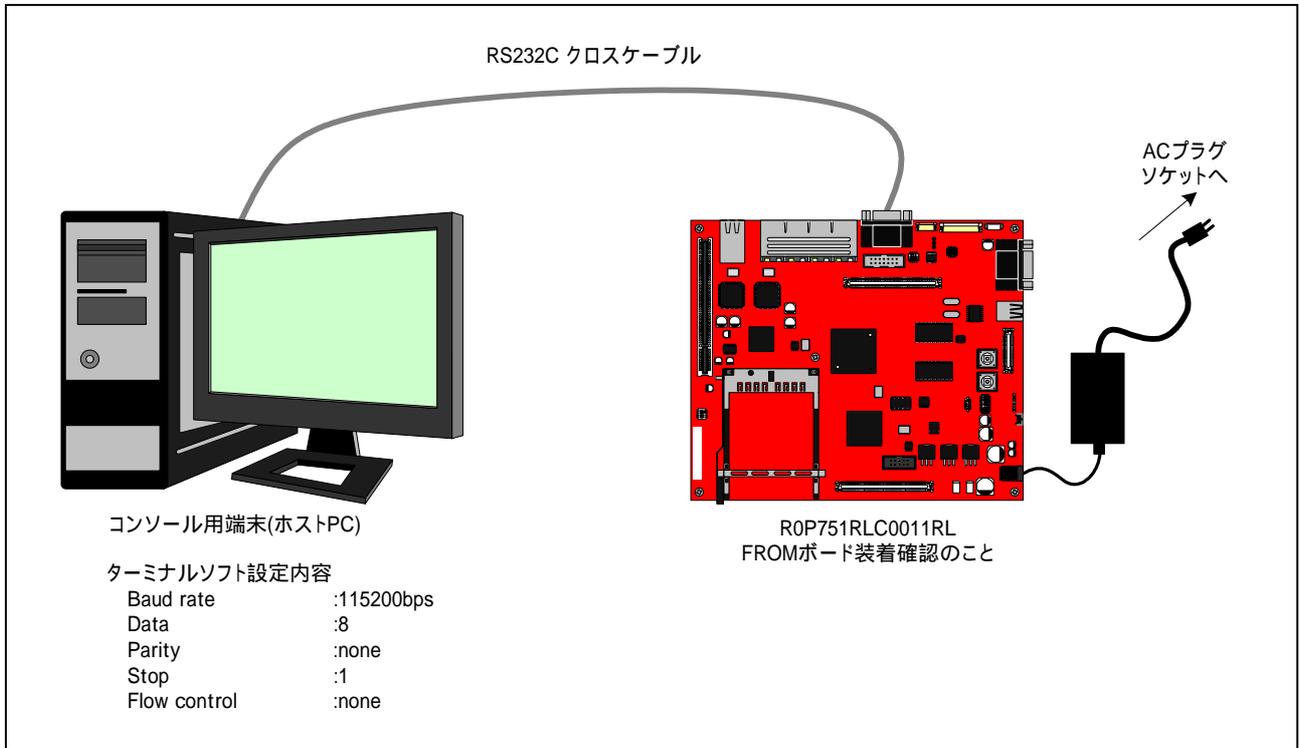


図1.3.1 セットアップ図

(1) R0P751RLC0011RLのはんだ面に実装されているCN8に付属のFROMボードを取り付けてください。

この際、接触不良に御注意ください。

(2)本製品とコンソール用端末をRS232Cクロスケーブルで接続します。(市販USBシリアル変換ケーブルでも可)

(3)コンソール用端末上でターミナルソフトを起動します。

設定内容は、「ビットレート：115200bps/データサイズ：8ビット/パリティビット：無し/ストップビット：1ビット  
フロー手順：無し」としてください。

(4)CN20に付属のACアダプタを挿入し、コンセントに接続します。

(5) R0P751RLC0011RLのS4を押下し電源投入します。(電源スイッチのキートップは、「赤」となっています。)

\*再度S4押下で電源遮断が可能です。CFカードなどを使用中は、搭載しているFPGAにて電源遮断処理を行ってください。CFカード動作中にS4押下にて電源遮断を行った場合、CFカードの破壊の恐れがあります。FPGAの仕様については、FPGA機能説明の項を参照してください。

## 1.4. 仕様一覧

表1.4.1に本製品の仕様を示します。

表1.4.1 R0P751RLC0011RLの仕様

項目	内容
CPU	ルネサス製 HD6417751RBP240 ・入力クロック：20MHz ・CPU動作クロック：240MHz(モード5設定時) ・バス動作クロック：120MHz(モード5設定時) ・周辺モジュールクロック：60MHz(モード5設定時) ・PCIバス：33MHz(4ch) ・パッケージ：256ピンBGA(1.27mmピッチ)
メモリ	FROMボード使用時：Spansion製S29PL127J60TFI130 ・外付けFROM:64MB、32ビットバスアクセス 本メモリは、出荷時に恒久プロテクトモードに設定済みです。 エルピーダメモリ製 EDS2516ADTA-75E(2個) ・外付けSDRAM:64MB ・32ビットバスアクセス
制御FPGA	ALTERA製 EP1C4F400C8N ・周辺デバイスアクセス,割込み,CF,電源,リセット,汎用IO制御 等 コンフィグレーション用ROM: EPCS4SI8N
2Dグラフィックコントローラ	Silicon Motion製 SM501GX08LF00-AB
LANコントローラ	Realtek製 RTL8139DL-LF LANコネクタ：BOTHHAND製 LU1S041C-43-LF(パルストランス内蔵)
LAN Hubコントローラ	Realtek製 RTL8305SB-VD-LF LANコネクタ：Bel Fuse製 0810-1X4T-36-F(パルストランス内蔵)
CardBusカードコントローラ	Texas Instruments製 PCI1520ZHk
リアルタイムクロック	エプソントヨコム製 RTC-9701JE(32.768kHzの水晶振動子を内蔵) ・SH7751RのSCIと接続
LED	・デバッグ用LED(8個)：FPGAにて制御可能 ・状態表示用LED(6個)
スイッチ	・電源スイッチ(1個) キートップ：赤 ・RESETスイッチ(2個) キートップ：青、白 ・デバッグ用DIPスイッチ(8bit 1個)：FPGAにて状態読出し可能 ・モード設定用DIPスイッチ(4bit 2個)
コンパクトフラッシュ インタフェース	ヘッダー：日本圧着端子製造製 ICM-MA2H-SS52-N11B(LF)(SN) イジェクタ：日本圧着端子製造製 ICME-CB68L5-302N
PCMCIAインタフェース (CardBusカード対応)	ヘッダー：日本圧着端子製造製 ICM-CB68H-S112-502N(LF)(SN) イジェクタ：日本圧着端子製造製 ICM-MAE-R32
デバッグシリアル インタフェース	デバッグ用RS232Cコネクタ：日本圧着端子製造製JEY- 9P-1A2B SH7751RのSCIF(TxD2,RxD2を接続) コンソール用PCとクロスケーブルで接続
コネクタ	拡張バスコネクタ：Molex製 52837-1679(2個) FROMボードコネクタ：Molex製 52837-1079 SM501拡張コネクタ：Molex製 52837-0679 USBコネクタ：オムロン製 XM7A-0442-A(Aタイプ2段) CRTコネクタ：オムロン製 XM4L-1542-132 LCDコネクタ：日本圧着端子製造製 40FLH-SM1-TB(LF)(SN) LCDインバータコネクタ：Molex製 53261-0590 タッチパネル基板コネクタ： 日本圧着端子製造製 14FLH-SM1-TB (LF)(SN) SH7751R JTAGエミュレータコネクタ(14ピン) オムロン製 XG4C-1031 EPCS4SI8N書込みコネクタ(10ピン) オムロン製 XG4C-1431

項目	内容
電源	2.1mmソケット センタープラス仕様 ・ 付属ACアダプタからの12V電源で動作
外形寸法	・ 寸法： 170mm × 200mm ・ 実装形態： 8層両面実装
動作周囲温度	5 ~ 35 (結露なきこと)
非動作時温度範囲	-10 ~ 60 (結露なきこと)

## 1.5. アドレスマップ

図1.5.1に本製品のアドレスマップを示します。FPGA領域の仕様については、「FPGA機能説明」に示しています。

H 0000_0000	エリア0	32bit	FROM領域(64MB)
H 03FF_FFFF			FPGA領域(80B)
H 0400_0000	エリア1	16bit	使用禁止領域(FPGAシャドウ)
H 0400_004F			
H 0400_0050			
H 07FF_FFFF			
H 0800_0000	エリア2	8/16/32 bit	外部拡張領域(64MB)
H 0BFF_FFFF			
H 0C00_0000	エリア3	32bit	SDRAM領域(64MB)
H 0FFF_FFFF			
H 1000_0000	エリア4	32bit	SM501GX08LF00領域
H 13FF_FFFF			
H 1400_0000	エリア5	16bit	Compact FLASH領域(64MB)
H 17FF_FFFF			
H 1800_0000	エリア6	8/16/32 bit	外部拡張領域(64MB)
H 1BFF_FFFF			

図1.5.1 SH7751Rアドレスマップ

## 2. 機能仕様

### 2.1. 電源仕様

本製品は、付属のACアダプタから12Vを供給し動作します。図2.1.1に電源系統図を示します。

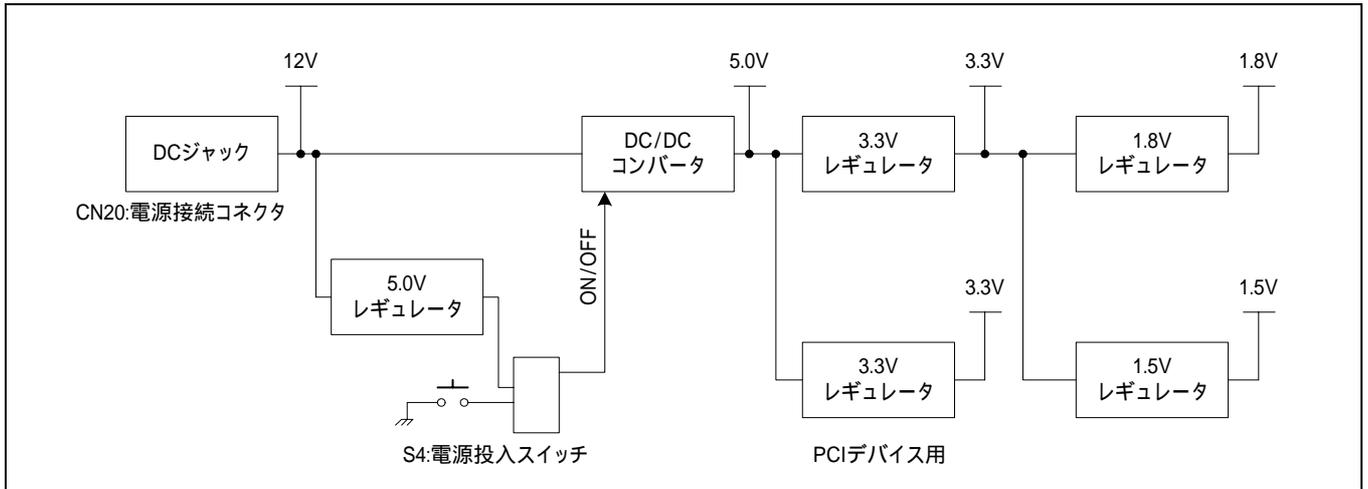


図2.1.1 電源系統図

各電圧は以下のブロックで使用します。主な電源使用ブロックを表2.1.1に示します。

表2.1.1 主な電源使用ブロック

電圧	使用ブロック	備考
12V	PCIコネクタ	
	PCMCIAコネクタ	
	LCD用インバータ	
	拡張コネクタ	
5.0V	スタンバイ電源	
	PCIコネクタ	
	PCMCIAコネクタ	
	LANコントローラ	RTL8139DL
	USB Hubコントローラ	
	拡張コネクタ	
3.3V	PCIコネクタ	
	PCMCIAコネクタ	
	SH7751R	HD6417751RBP240
	FROM	S29PL127J60TFI130
	SDRAM	EDS2516ADTA
	FPGA	EP1C4F400C8N
	SM501	SM501GX08LF00
	CFカードコネクタ	
	CardBusカードコントローラ	PCI1520ZHK
	LANコントローラ	RTL8139DL
	LAN Hubコントローラ	RTL8305SB
	拡張コネクタ	
1.8V	SM501コア電源	SM501GX08LF00
1.5V	SH7751Rコア電源	HD6417751RBP240
	FPGAコア電源	EP1C4F400C8N

### 2.1.1. DCジャック入力電源

本製品のDCジャックからの入力電源仕様を示します。

同梱のACアダプタ以外を御使用の際は、表2.1.2に示す仕様に適合する電源を選択ください。

表2.1.2 DCジャック入力仕様

項目	仕様
プラグ	内径 2.5mm
プラグ極性	外側マイナス、内側プラス 
入力電圧	12.0V
供給電流	5.0A以上

## 2.2. スイッチ仕様

本製品には、3個のプッシュスイッチと3個のDIPスイッチを実装しています。各スイッチの機能を以下に示します。

### 2.2.1. CPUモード設定用DIPスイッチ

S1は、SH7751Rの動作モード設定用DIPスイッチです。SH7751Rのクロックモード及びエンディアンを指定します。図2.2.1にS1の外観図を表2.2.1にS1の仕様を示します。出荷時は網掛け状態で、クロックモード5 (モード5=内部240MHz：外部バス120MHz：周辺モジュール60MHz)とし、リトルエンディアンに設定しています。

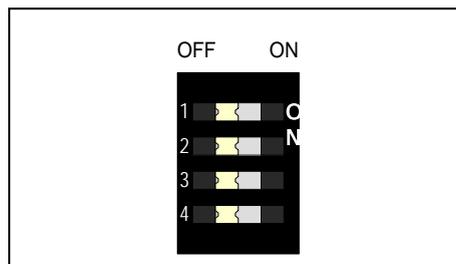


図2.2.1 S1外観図

表2.2.1 S1仕様

スイッチ	接続端子	ON	OFF	機能
S1-1	SH7751R_MD0	H	L	クロックモード設定
S1-2	SH7751R_MD1	H	L	
S1-3	SH7751R_MD2	H	L	
S1-4	SH7751R_MD5	H	L	エンディアン設定

### 2.2.2. デバッグ用DIPスイッチ

S3は、デバッグ用DIPスイッチです。FPGAに接続し、専用レジスタで参照可能です。お客様にて使用可能です。FPGAの仕様については、FPGA機能説明の項を参照してください。図2.2.2にS3の外観図を表2.2.2にS3の仕様を示します。

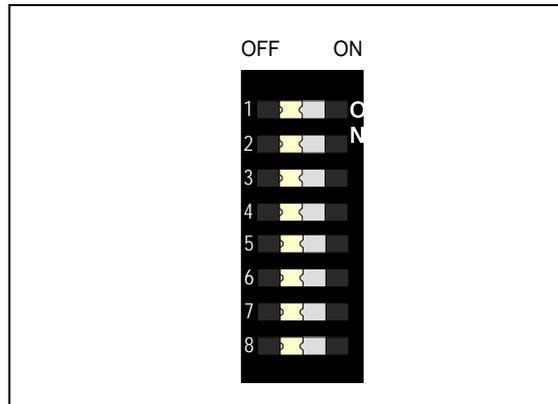


図2.2.2 S3外観図

表2.2.2

スイッチ	接続端子	ON	OFF	機能
S3-1	FPGA	H	L	FPGAにて参照可能
S3-2	FPGA	H	L	
S3-3	FPGA	H	L	
S3-4	FPGA	H	L	
S3-5	FPGA	H	L	
S3-6	FPGA	H	L	
S3-7	FPGA	H	L	
S3-8	FPGA	H	L	

### 2.2.3. 電源投入スイッチ

S4は、電源投入スイッチです。キートップは、「赤」です。CN20に同梱のACアダプタを挿入した後、スイッチ押下にて本製品に電源を投入します。本製品動作時に再度S4押下にて電源を遮断します。

電源遮断の方法は、S4押下かまたはFPGAからの制御にて制御可能です。S4での突然の電源遮断を行う場合、CFカードのデータなどが破壊される場合がありますのでFPGAからの制御にて電源遮断を行ってください。

FPGAの仕様については、FPGA機能説明の項を参照してください。

### 2.2.4. システムリセットスイッチ

S5は、システムリセットスイッチです。キートップは、「白」です。S5押下にて各デバイスに同タイミングにてリセットパルスが発生します。リセット信号についての説明は、「2.15 リセット信号について」に記載しています。

### 2.2.5. マニュアルリセットスイッチ

S6は、マニュアルリセットスイッチです。キートップは、「青」です。S6押下にてマニュアルリセットをSH7751Rに入力します。他デバイスへの入力はありません。リセット信号についての説明は、「2.15 リセット信号について」に記載しています。

## 2.3. LED仕様

### 2.3.1. SH7751Rステータス表示

LED1は、SH7751Rのステータス表示用LEDです。SH7751RのSTATUS1,STATUS0端子に接続しています。表2.3.1にLEDの機能割り当てを示します。

表2.3.1 LED機能割り当て

LED	機能	状態
LED1	リセット	消灯
	スリープ	緑点灯
	スタンバイ	赤点灯
	ノーマル	橙色点灯

### 2.3.2. Ethernet Hub用LED

LED2、LED3は、RTL8305SBのLED\_ACT4、LED\_SPD4に接続しています。RTL8305SBの設定により機能は変化します。使用方法の詳細については、RTL8305SBの資料を参照してください。

### 2.3.3. CFカード用LED

LED4、LED 5、LED 6はCFカード用LEDです。CFカード挿入で自動的に制御されます。表2.3.3にLED機能割り当てを示します。

表2.3.3 LED機能割り当て

LED	機能	状態
LED4	CFカードへ電源供給時	点灯
LED5	CFカード挿入時	点灯
LED6	CF_DASPモード時	点灯

### 2.3.4. USB Hub用LED

LED7、LED8は、USB Hubコントローラに接続しています。各USBコネクタへの電源供給時に点灯します。表2.3.4にLED機能割り当てを示します。

表2.3.4 LED機能割り当て

LED	機能	状態
LED7	USB Hub No.1へ電源供給	点灯
LED8	USB Hub No.2へ電源供給	点灯

### 2.3.5. 電源表示用LED

LED17は、電源表示用LEDです。本製品への電源供給時に点灯します。

### 2.3.6. デバッグ用LED

LED9～LED16は、デバッグ用LEDです。FPGAで制御可能です。FPGAの仕様については、FPGA機能説明の項を参照してください。

## 2.4. JTAGエミュレータインタフェース

CN1は、JTAGエミュレータ接続コネクタです。SH7751RのH-UDIインタフェースを使用したエミュレータを接続します。H-UDIに対応したルネサステクノロジ(株)製E10Aエミュレータなどを接続して御使用ください。図2.4.1にJTAGエミュレータコネクタの概観図を表2.4.1に信号配置を示します。

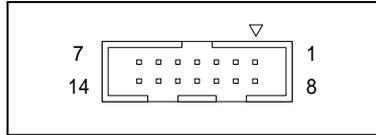


図2.4.1 JTAGエミュレータコネクタの外観図

表2.4.1 JTAGエミュレータコネクタの信号配置

ピン番号	信号名
1	TCK
2	TRST#
3	TDO
4	ASEBRK#
5	TMS
6	TDI
7	RESET#
8	GND
9	GND
10	GND
11	NC
12	GND
13	GND
14	GND

## 2.5. メモリ

表2.5.1に本製品に搭載しているメモリの一覧を示します。

表2.5.1 メモリー一覧

種別	開始アドレス	サイズ	バス幅	備考
外付けFROM	H'0000_0000	64MB	32bit	同梱FROMボード実装時
外付けSDRAM	H'0C00_0000	64MB	32bit	

### 2.5.1. SHバスに接続される各デバイスへのアクセスタイミング設定

本製品のSH7751Rローカルバスに接続した各デバイスのタイミング仕様を表2.5.2に示します。

(20MHz供給 モード5設定時)

エリア	種別	品名	バス幅	タイミング仕様
0	FROMボード	S29PL127J60TFI130	32	ソフトウェア数：9
1	FPGA	EP1C4F400C8N	16	ソフトウェア数：3
3	SDRAM	EDS2516ADTA-75-E	32	CASレイテンシ：3
4	2Dグラフィック コントローラ	SM501GX08LF00-AB	32	ソフトウェア数：9
5	CFカード	CFカード	16	SH7751Rソフトウェア数：12 FPGA CFCTLレジスタも設定要

## 2.6. PCIデバイス

本製品には、SH7751RのPCIバスに1個のPCIコネクタ、1個のCardBusカードコントローラ、2個のLANコントローラを接続しています。2個のLANコントローラのうち1個はHubコントローラを接続し4ポート対応としています。表2.6.1に各デバイス番号(DEVNO)を示します。デバイス番号とはコンフィグレーションアクセスの対象となるデバイスの番号です。

表2.6.1 デバイス番号一覧

DEVNO	デバイス	機能	割込み
H'0	PCIカードコネクタ	汎用PCIカード	PCI_INTA
H'1	RTL8139DL (RTL8305SB接続)	Ethernet接続 10/100Base (Ethernet Hub接続)	PCI_INTB
H'2	PCI1520ZHK	PCI - CardBusブリッジ	PCI_INTC
H'3	RTL8139DL	Ethernet接続 10/100Base	PCI_INTD

### 2.6.1. PCIカードコネクタ

CN2は、PCIカードコネクタです。SH7751RのPCIバスに接続しています。PCI 5Vカード規格に準拠したコネクタを実装していますが、SH7751Rの仕様上PCIバス信号は3.3V信号仕様のカードを御使用ください。5V信号をSH7751Rに供給するとSH7751Rを破壊する恐れがあります。

### 2.6.2. CardBusカードインタフェース

CN3は、CardBusカードコントローラとしてSH7751RのPCIバスにTexas Instruments社製PCI1520ZHKを接続しています。本コントローラは、5V/3.3V混在のPCカードおよび3.3V CardBusカードに対応しています。使用方法の詳細については、PCI1520ZHKの資料を参照してください。

### 2.6.3. LANインタフェース

本製品は、Ethernetコントローラとして、REALTEK社製RTL8139DLを2個実装しています。使用方法の詳細については、RTL8139DLの資料を参照してください。  
また、デバイス番号1に配置したRTL8139DLは、HubコントローラRTL8305SBに接続しています。4ポートサポートします。

#### 2.6.3.1. MACアドレス割り当て

MACアドレスはRTL8139DLの外付けEEPROMに書き込んであります。本製品はんだ面、CFカードコントローラ側にあるMAC1、MAC2を参照してください。  
デバイス番号1がMAC1、デバイス番号3がMAC2に対応しています。

## 2.7. 2Dグラフィックコントローライタフェース

本製品は、2DグラフィックコントローラとしてSilicon Motion Inc.社製SM501GX08LF00-ABを実装しています。SHバスに接続しています。SH7751RへのRDY信号については、FPGAにてタイミング調整しています。使用方法の詳細については、SM501GX08LF00-ABの資料を参照してください。

### 2.7.1. CRTインタフェース

CN12は、CRT接続用コネクタです。SM501のCRT出力端子と接続しています。表2.7.1にCRTインタフェース用コネクタの信号配置を示します。

表2.7.1 CRTインタフェース用コネクタの信号配置

ピン番号	信号名
1	R
2	G
3	B
4	NC
5	GND
6	GND
7	GND
8	GND
9	NC
10	GND
11	NC
12	NC
13	CRTHS
14	CRTVS
15	NC

## 2.7.2. LCDインタフェース

CN11は、LCDインタフェース用コネクタです。SM501のLCD出力端子と接続しています。お客様にて御使用のLCDの仕様に合わせて御使用ください。LCDの電源電圧はJP1にて選択可能です。使用しているコネクタは、日本圧着端子製造社製40FLH-SM1-TB(LF)(SN)です。図2.7.2にLCDインタフェース用コネクタの外観図を表2.7.2に信号配置を示します。

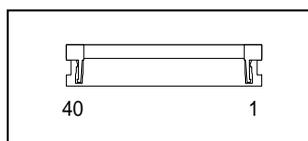


図2.7.2 LCDインタフェース用コネクタ外観図

表2.7.2 LCDインタフェース用コネクタの信号配置

ピン番号	信号名	備考
1	GND	
2	CK	クロック
3	GND	
4	HSYNC	水平同期信号
5	GND	
6	VSYNC	垂直同期信号
7	GND	
8	R0	赤データ
9	R1	
10	R2	
11	R3	
12	R4	
13	R5	
14	GND	
15	G0	緑データ
16	G1	
17	G2	
18	G3	
19	G4	
20	G5	
21	GND	
22	B0	青データ
23	B1	
24	B2	
25	B3	
26	B4	
27	B5	
28	GND	
29	FPEN	LCDイネーブル
30	GND	
31	GND	
32	NC	
33	NC	
34	VCC	J1にて3.3V/5.0V切替 可能です。 1-2ショート：3.3V 2-3ショート：5.0V 出荷時は3.3V設定で す。
35	VCC	
36	VCC	
37	VCC	
38	VCC	
39	VCC	
40	VCC	

### 2.7.3. LCDバックライト制御用インバータインタフェース

CN10は、LCDインバータ接続用コネクタです。図2.7.3にLCDインバータ接続用コネクタの外観図を表2.7.3にLCDインバータ接続用コネクタの信号配置を示します。

使用しているコネクタは、Molex社製53261-0571です。適合ハウジングは、51021-0500です。

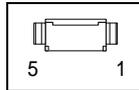


図2.7.3 LCDインバータ接続用コネクタ外観図

表2.7.3 LCDインバータ接続用コネクタの信号配置

ピン配置	信号名	備考
1	VCC	12.0V
2	GND	
3	VRMT	インバータON/OFF
4	VR0	輝度(但し20K で
5	VR1	ショート)

### 2.7.4. USBインタフェース

CN15,CN16は、USB接続用コネクタです。SM501のUSB端子をHub用LSIに接続して2ch実装しています。USB1.1に準拠しています。

## 2.7.5. SM501拡張インタフェース

CN17は、SM501のI2C及びZVポート、AC97、UARTの信号を接続しています。図2.7.5にSM501拡張インタフェースコネクタの概観図を表2.7.5に信号配置を示します。使用コネクタは、Molex社製52837-0679です。

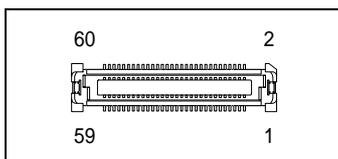


図2.7.5 SM501拡張インタフェースコネクタ概観図

表2.7.5 SM501拡張インタフェースコネクタの信号配置

ピン番号	信号名	備考	ピン番号	信号名	備考
1	5.0V		31	GPIO59	ZV port
2	5.0V		32	GPIO29	
3	5.0V		33	GPIO60	ZV port
4	5.0V		34	GPIO37	UART
5	GND		35	GPIO61	ZV port
6	GND		36	GND	
7	GPIO16	ZV port	37	GPIO62	ZV port
8	GND		38	GND	
9	GPIO17	ZV port	39	GPIO63	ZV port
10	GND		40	GND	
11	GPIO18	ZV port	41	GND	
12	GPIO24	AC97	42	GPIO38	UART
13	GPIO19	ZV port	43	VP_HREF	ZV port
14	GPIO25	AC97	44	GND	
15	GPIO20	ZV port	45	VP_VSYNC	ZV port
16	GPIO26	AC97	46	GND	
17	GPIO21	ZV port	47	VP_CLK	ZV port
18	GND		48	GND	
19	GPIO22	ZV port	49	GND	
20	GND		50	GPIO39	UART
21	GPIO23	ZV port	51	I2CCK	I2C
22	GND		52	GND	
23	GND		53	GND	
24	GPIO27	AC97	54	GPIO40	UART
25	GPIO56	ZV port	55	I2CDA	I2CD
26	GND		56	GND	
27	GPIO57	ZV port	57	GND	
28	GND		58	GND	
29	GPIO58	ZV port	59	12V	
30	GPIO28	AC97	60	12V	

## 2.8. タッチパネルインタフェース

CN19は、タッチパネル制御用LSIからの信号を受信するためのインタフェース用コネクタです。入力された信号は、FPGAにて取得可能です。タッチパネルインタフェース回路については、お客様にて御用意ください。FPGAの仕様については、FPGA機能説明の項を参照してください。

図2.8.1にタッチパネルインタフェース用コネクタの外観図を表2.8.1に信号配置を示します。

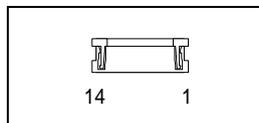


図2.8.1 タッチパネルインタフェース用コネクタ外観図

表2.8.1 タッチパネルインタフェース用コネクタの信号配置

ピン番号	信号名	IO	備考
1	3.3V		
2	3.3V		
3	DCLK	O	クロック出力(60kHz ~ 110kHzまでFPGAにて変更可能です)
4	GND		
5	CS#	O	チップ選択
6	GND		
7	DIN	O	書き込みデータ
8	GND		
9	BUSY	I	ビジー信号
10	GND		
11	DOUT	I	読み込みデータ
12	GND		
13	IRQ#	I	割込み
14	GND		

## 2.9. SHバス拡張インタフェース

CN13,CN14は、SHバス拡張インタフェースコネクタです。拡張用のSHバスとFPGAからの汎用IOを接続しています。図2.9.1にSHバス拡張インタフェースコネクタの概観図を表2.9.1、表2.9.2に信号配置を示します。使用コネクタは、Molex社製52837-1679です。FPGAの仕様については、FPGA機能説明の項を参照してください。

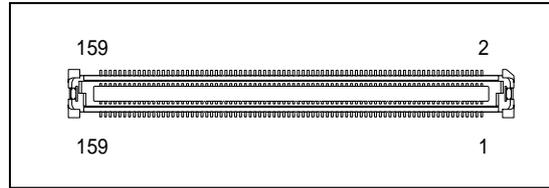


図2.9.1 SHバス拡張インタフェースコネクタ概観図

表2.9.1 SHバス拡張インタフェースコネクタの信号配置(CN13)

ピン配置	信号名	IO	備考
1	3.3V		
2	3.3V		
3	3.3V		
4	3.3V		
5	5.0V		
6	5.0V		
7	5.0V		
8	5.0V		
9	GND		
10	GND		
11	CKIO	O	
12	GND		
13	GND		
14	EXT_D0	IO	
15	EXT_D1	IO	
16	GND		
17	GND		
18	EXT_D2	IO	
19	EXT_D3	IO	
20	GND		
21	GND		
22	EXT_D4	IO	
23	EXT_D5	IO	
24	GND		
25	GND		
26	EXT_D6	IO	
27	EXT_D7	IO	
28	GND		
29	GND		
30	EXT_D8	IO	
31	EXT_D9	IO	
32	GND		
33	GND		
34	EXT_D10	IO	
35	EXT_D11	IO	

ピン配置	信号名	IO	備考
36	GND		
37	GND		
38	EXT_D12	IO	
39	EXT_D13	IO	
40	GND		
41	GND		
42	EXT_D14	IO	
43	EXT_D15	IO	
44	GND		
45	GND		
46	EXT_D16	IO	
47	EXT_D17	IO	
48	GND		
49	GND		
50	EXT_D18	IO	
51	EXT_D19	IO	
52	GND		
53	GND		
54	EXT_D20	IO	
55	EXT_D21	IO	
56	GND		
57	GND		
58	EXT_D22	IO	
59	EXT_D23	IO	
60	GND		
61	GND		
62	EXT_D24	IO	
63	EXT_D25	IO	
64	GND		
65	GND		
66	EXT_D26	IO	
67	EXT_D27	IO	
68	GND		
69	GND		
70	EXT_D28	IO	
71	EXT_D29	IO	
72	GND		
73	GND		
74	EXT_D30	IO	
75	EXT_D31	IO	
76	GND		
77	GND		
78	EXT_RST_OUT	O	拡張ボードへのリセット出力
79	EXT_RST_IN	I	拡張ボードからのリセット入力
80	GND		
81	GND		
82	GND		
83	GND		
84	FPGA_GPIO21	IO	FPGAにて制御
85	FPGA_GPIO22	IO	FPGAにて制御

ピン配置	信号名	IO	備考
86	GND		
87	GND		
88	FPGA_GPIO23	IO	FPGAにて制御
89	FPGA_GPIO24	IO	FPGAにて制御
90	GND		
91	GND		
92	FPGA_GPIO25	IO	FPGAにて制御
93	FPGA_GPIO26	IO	FPGAにて制御
94	GND		
95	GND		
96	FPGA_GPIO27	IO	FPGAにて制御
97	FPGA_GPIO28	IO	FPGAにて制御
98	GND		
99	GND		
100	FPGA_GPIO29	IO	FPGAにて制御
101	FPGA_GPIO30	IO	FPGAにて制御
102	GND		
103	GND		
104	FPGA_GPIO31	IO	FPGAにて制御
105	FPGA_GPIO32	IO	FPGAにて制御
106	GND		
107	GND		
108	FPGA_GPIO33	IO	FPGAにて制御
109	FPGA_GPIO34	IO	FPGAにて制御
110	GND		
111	GND		
112	FPGA_GPIO35	IO	FPGAにて制御
113	FPGA_GPIO36	IO	FPGAにて制御
114	GND		
115	GND		
116	FPGA_GPIO37	IO	FPGAにて制御
117	FPGA_GPIO38	IO	FPGAにて制御
118	GND		
119	GND		
120	FPGA_GPIO39	IO	FPGAにて制御
121	FPGA_GPIO40	IO	FPGAにて制御
122	GND		
123	GND		
124	FPGA_GPIO41	IO	FPGAにて制御
125	FPGA_GPIO42	IO	FPGAにて制御
126	GND		
127	GND		
128	FPGA_GPIO43	IO	FPGAにて制御
129	FPGA_GPIO44	IO	FPGAにて制御
130	GND		
131	GND		
132	FPGA_GPIO45	IO	FPGAにて制御
133	FPGA_GPIO46	IO	FPGAにて制御
134	GND		
135	GND		

ピン配置	信号名	IO	備考
136	FPGA_GPIO47	IO	FPGAにて制御
137	FPGA_GPIO48	IO	FPGAにて制御
138	GND		
139	GND		
140	FPGA_GPIO49	IO	FPGAにて制御
141	FPGA_GPIO50	IO	FPGAにて制御
142	GND		
143	GND		
144	FPGA_GPIO51	IO	FPGAにて制御
145	FPGA_GPIO52	IO	FPGAにて制御
146	GND		
147	GND		
148	FPGA_GPIO53	IO	FPGAにて制御
149	GND		
150	GND		
151	GND		
152	GND		
153	3.3V		
154	3.3V		
155	3.3V		
156	3.3V		
157	12V		
158	12V		
159	12V		
160	12V		

表2.9.2 SHバス拡張インタフェースコネクタの信号配置(CN14)

ピン配置	信号名	IO	備考
1	3.3V		
2	3.3V		
3	3.3V		
4	3.3V		
5	5.0V		
6	5.0V		
7	5.0V		
8	5.0V		
9	GND		
10	GND		
11	EXT_A0	O	
12	GND		
13	GND		
14	EXT_A1	O	
15	EXT_A2	O	
16	GND		
17	GND		
18	EXT_A3	O	
19	EXT_A4	O	
20	GND		
21	GND		
22	EXT_A5	O	
23	EXT_A6	O	
24	GND		
25	GND		

ピン配置	信号名	IO	備考
26	EXT_A7	O	
27	EXT_A8	O	
28	GND		
29	GND		
30	EXT_A9	O	
31	EXT_A10	O	
32	GND		
33	GND		
34	EXT_A11	O	
35	EXT_A12	O	
36	GND		
37	GND		
38	EXT_A13	O	
39	EXT_A14	O	
40	GND		
41	GND		
42	EXT_A15	O	
43	EXT_A16	O	
44	GND		
45	GND		
46	EXT_A17	O	
47	EXT_A18	O	
48	GND		
49	GND		
50	EXT_A19	O	
51	EXT_A20	O	
52	GND		
53	GND		
54	EXT_A21	O	
55	EXT_A22	O	
56	GND		
57	GND		
58	EXT_A23	O	
59	EXT_A24	O	
60	GND		
61	GND		
62	EXT_A25	O	
63	EXT_CS0#	O	
64	GND		
65	GND		
66	EXT_CS1#	O	
67	EXT_BS#	O	
68	GND		
69	GND		
70	EXT_RD#	O	
71	EXT_RD/WR#	O	
72	GND		
73	GND		
74	EXT_WE0#	O	
75	EXT_WE1#	O	

ピン配置	信号名	IO	備考
76	GND		
77	GND		
78	EXT_WE2#	O	
79	EXT_WE3#	O	
80	GND		
81	GND		
82	EXT_INT0	I	拡張ボードからの割込み
83	EXT_INT1	I	拡張ボードからの割込み
84	GND		
85	GND		
86	EXT_INT2	I	拡張ボードからの割込み
87	EXT_INT3	I	拡張ボードからの割込み
88	GND		
89	GND		
90	EXT_DREQ0#	I	
91	EXT_DREQ1#	I	
92	GND		
93	GND		
94	EXT_DRAK0	O	
95	EXT_DRAK1	O	
96	GND		
97	GND		
98	EXT_DACK0	O	
99	EXT_DACK1	O	
100	GND		
101	GND		
102	EXT_CE2A#	O	
103	EXT_CE2B#	O	
104	GND		
105	GND		
106	EXT_RDY#	I	
107	EXT_IOIS16	IO	
108	GND		
109	GND		
110	GND		
111	GND		
112	FPGA_GPIO0	IO	FPGAにて制御
113	FPGA_GPIO1	IO	FPGAにて制御
114	GND		
115	GND		
116	FPGA_GPIO2	IO	FPGAにて制御
117	FPGA_GPIO3	IO	FPGAにて制御
118	GND		
119	GND		
120	FPGA_GPIO4	IO	FPGAにて制御
121	FPGA_GPIO5	IO	FPGAにて制御
122	GND		
123	GND		
124	FPGA_GPIO6	IO	FPGAにて制御
125	FPGA_GPIO7	IO	FPGAにて制御

ピン配置	信号名	IO	備考
126	GND		
127	GND		
128	FPGA_GPIO8	IO	FPGAにて制御
129	FPGA_GPIO9	IO	FPGAにて制御
130	GND		
131	GND		
132	FPGA_GPIO10	IO	FPGAにて制御
133	FPGA_GPIO11	IO	FPGAにて制御
134	GND		
135	GND		
136	FPGA_GPIO12	IO	FPGAにて制御
137	FPGA_GPIO13	IO	FPGAにて制御
138	GND		
139	GND		
140	FPGA_GPIO14	IO	FPGAにて制御
141	FPGA_GPIO15	IO	FPGAにて制御
142	GND		
143	GND		
144	FPGA_GPIO16	IO	FPGAにて制御
145	FPGA_GPIO17	IO	FPGAにて制御
146	GND		
147	GND		
148	FPGA_GPIO18	IO	FPGAにて制御
149	FPGA_GPIO19	IO	FPGAにて制御
150	GND		
151	GND		
152	FPGA_GPIO20	IO	FPGAにて制御
153	3.3V		
154	3.3V		
155	3.3V		
156	3.3V		
157	5.0V		
158	5.0V		
159	5.0V		
160	5.0V		

## 2.10. シリアルインタフェース

CN6は、シリアルインタフェースケーブル接続用で主にコンソールに接続して使用します。SH7751RのSCIFをRS232Cドライバレシーバ経由でDsub9ピンコネクタに接続しています。通信ボーレートは、SCIF用専用クロックとして1.8432MHzをSH7751Rに入力し、115200bps固定としています。DSUB9ピンクロスケーブルで接続します。表2.10.1にシリアルインタフェースコネクタの信号配置を示します。

表2.10.1 シリアルインタフェースコネクタの信号配置

ピン番号	信号名	IO	備考
1	NC		
2	RD	I	データ受信
3	TD	O	データ送信
4	DTR		6ピンとボード上で結線
5	GND		
6	DSR		4ピンとボード上で結線
7	RTS	I	送信要求
8	CTS	O	送信可
9	NC		

## 2.11. CFカードインタフェース

CN9は、CFカードインタフェース用コネクタです。タイミング制御はFPGAにて行います。CFA準拠True-IDEインタフェースタイミングと同等アクセスが可能です。PIOモード0-4まで対応しています。FPGAの仕様については、FPGA機能説明の項を参照してください。

## 2.12. FROMボードインタフェース

CN8は、FROMボードインタフェース用コネクタです。図2.12.1にFROMボードインタフェースコネクタの概観図を表2.12.1に信号配置を示します。使用コネクタは、Molex社製52837-1079です。

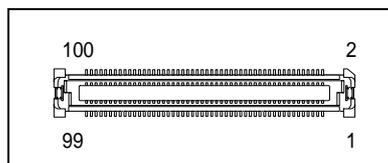


図2.12.1 FROMボードインタフェースコネクタ概観

表2.12.1 FROMボードインタフェースコネクタの信号配置

ピン配置	信号名	IO	備考
1	5.0V		
2	3.3V		
3	GND		
4	GND		
5	D0	IO	
6	D16	IO	
7	D1	IO	
8	D17	IO	
9	D2	IO	
10	D18	IO	
11	D3	IO	
12	D19	IO	
13	D4	IO	
14	D20	IO	
15	D5	IO	
16	D21	IO	
17	D6	IO	
18	D22	IO	
19	D7	IO	
20	D23	IO	
21	D8	IO	
22	D24	IO	
23	D9	IO	
24	D25	IO	
25	5.0V		
26	3.3V		
27	GND		
28	GND		
29	D10	IO	
30	D26	IO	
31	D11	IO	
32	D27	IO	
33	D12	IO	
34	D28	IO	
35	D13	IO	

ピン配置	信号名	IO	備考
36	D29	IO	
37	D14	IO	
38	D30	IO	
39	D15	IO	
40	D31	IO	
41	A0	O	
42	A13	O	
43	A1	O	
44	A14	O	
45	A2	O	
46	A15	O	
47	A3	O	
48	A16	O	
49	5.0V		
50	3.3V		
51	GND		
52	GND		
53	A4	O	
54	A17	O	
55	A5	O	
56	A18	O	
57	A6	O	
58	A19	O	
59	A7	O	
60	A20	O	
61	A8	O	
62	A21	O	
63	A9	O	
64	A22	O	
65	A10	O	
66	A23	O	
67	A11	O	
68	A24	O	
69	A12	O	
70	A25	O	
71	5.0V		
72	3.3V		
73	GND		
74	GND		
75	WE0#	O	
76	CS0#	O	
77	WE1#	O	
78	NC		
79	WE2#	O	
80	NC		
81	WE3#	O	
82	NC		
83	GND		
84	GND		
85	RD#	O	

ピン配置	信号名	IO	備考
86	NC		
87	RD/WR#	O	
88	NC		
89	NC		10K プルアップ
90	BS#	O	
91	RESET#	O	
92	NC		10K プルアップ
93	GND		
94	CKIO	O	
95	5.0V		
96	5.0V		
97	3.3V		
98	3.3V		
99	GND		
100	GND		

### 2.13. リアルタイムクロック

本製品には、時間管理用としてエプソントヨコム社製リアルタイムクロックモジュール、RTC-9701JEを実装しています。SH7751RのSCIインタフェースに接続しています。使用方法の詳細については、RTC-9701JEの資料を参照してください。

バッテリーバックアップについては、BT1にボタン電池を挿入することで実現しています。

ボタン電池を交換される場合は、直径は20mmの製品を使用してください。

### 2.14. FPGA内蔵シリアルインタフェース

本製品に搭載しているFPGAにはSCIFを実装しています。SCIF端子は本製品上にスルーホールで準備しています。CN17のシルクが印刷されています。表2.14.1に信号配置を示します。FPGAの仕様については、FPGA機能説明の項を参照してください。

表2.14.1 FPGA内蔵SCIFインタフェース用コネクタの信号配置

ピン番号	信号名	IO	備考
1	3.3V		
2	TxD	O	データ送信
3	RxD	I	データ受信
4	CTS	O	送信可
5	RTS	I	送信要求
6	NC		
7	GND		
8	GND		

## 2.15. リセット信号について

図2.15.1に本製品のリセット信号接続図を示します。

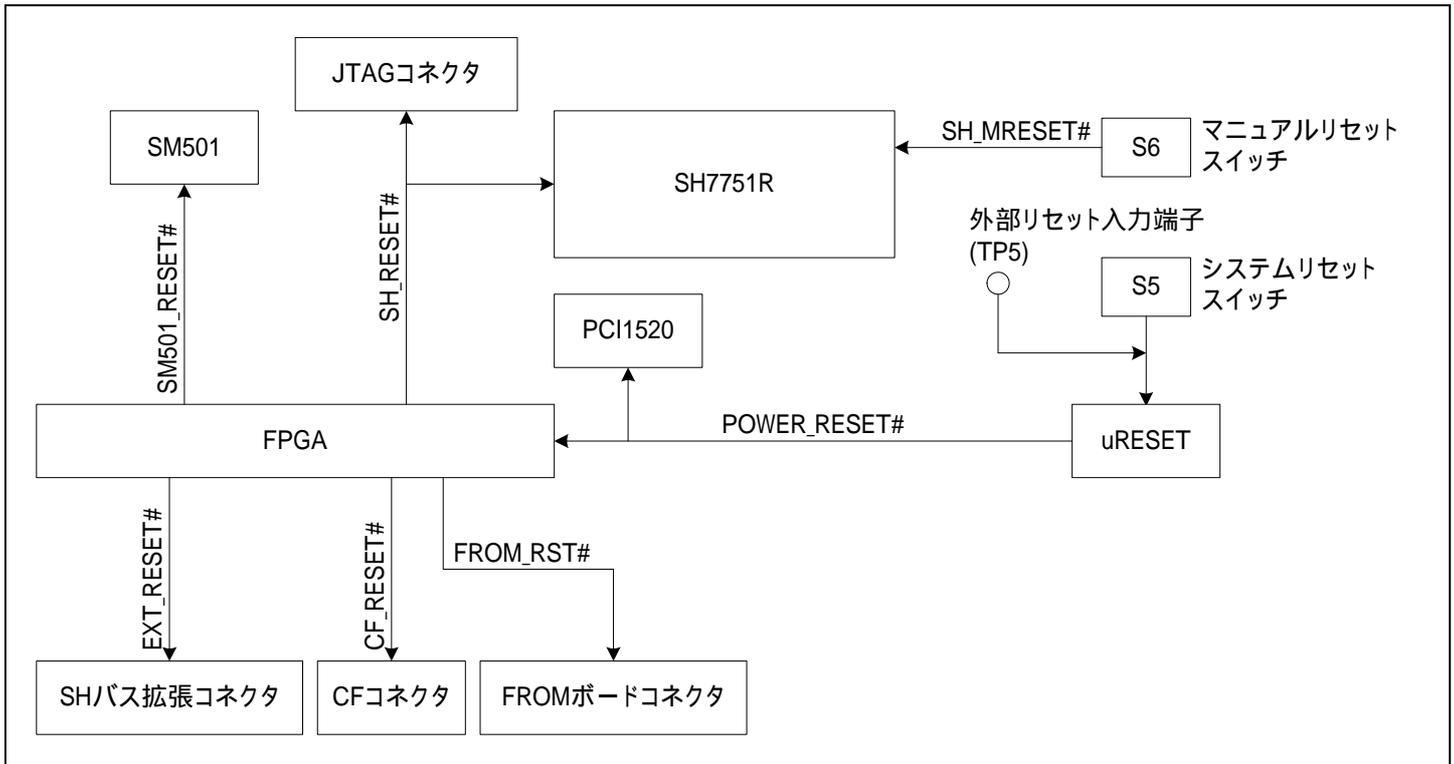


図2.15.1 リセット信号接続図

### 2.15.1. パワーオンリセット

電源投入時にパワーオンリセット信号が各デバイスに対して発行されます。電圧レギュレータから生成した3.3Vを基準電圧とし、基準電圧が2.93V以下のときリセットICからリセット信号を発行します。本製品では、電源投入時にFPGAのコンフィグレーションを行いますのでSH7751Rに対するリセット信号はFPGAのコンフィグレーション終了後に入力されます。図2.15.2にパワーオンリセットタイミングを示します。

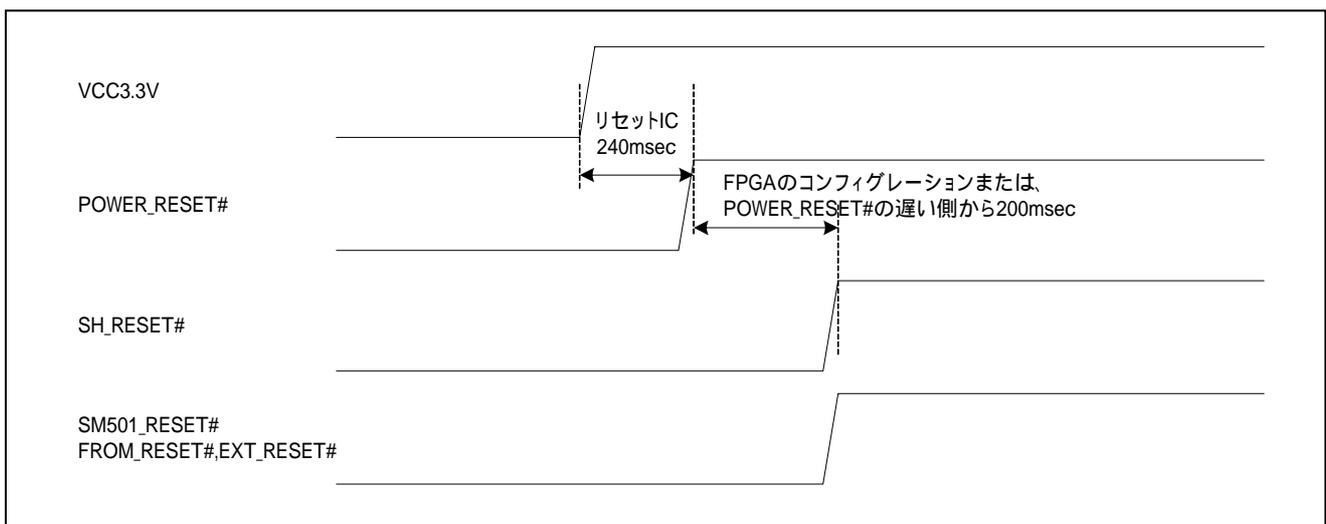


図2.15.2 パワーオンリセットタイミング

### 2.15.2. システムリセット

本製品は、S5押下でシステムリセット信号を発行します。システムリセットでは、各デバイスに対して同タイミングでリセットパルスを発行します。図2.15.3にシステムリセットタイミングを示します。

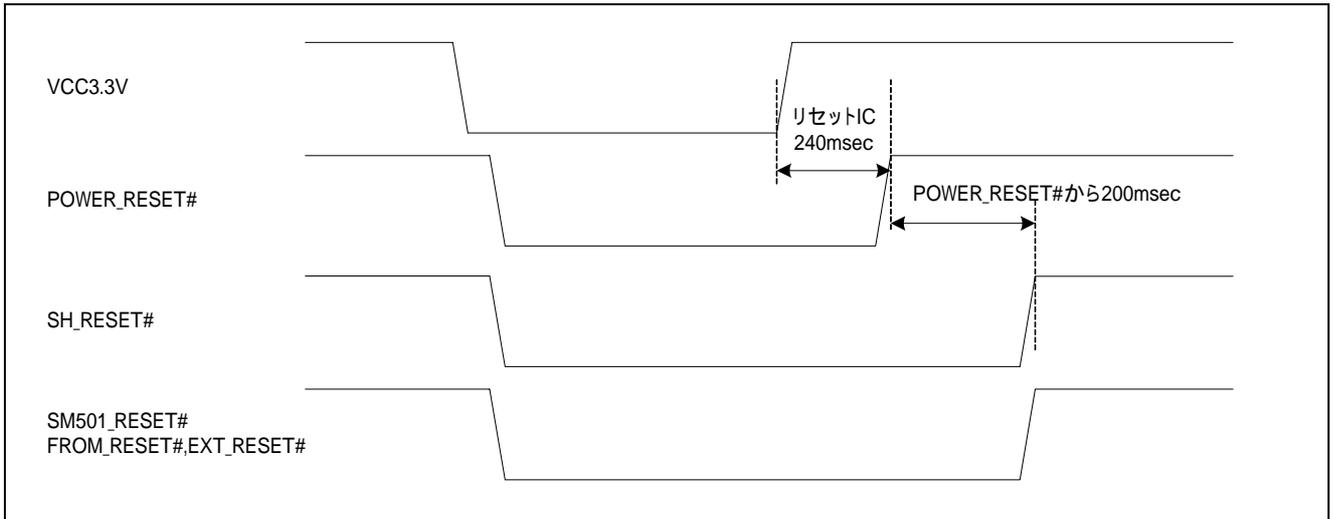


図2.15.3 システムリセットタイミング

### 2.15.3. マニュアルリセット

本製品は、S6押下でSH7751Rに対してマニュアルリセット信号を発行します。他デバイスへのリセット信号は発行しません。図2.15.3にマニュアルリセットタイミングを示します。

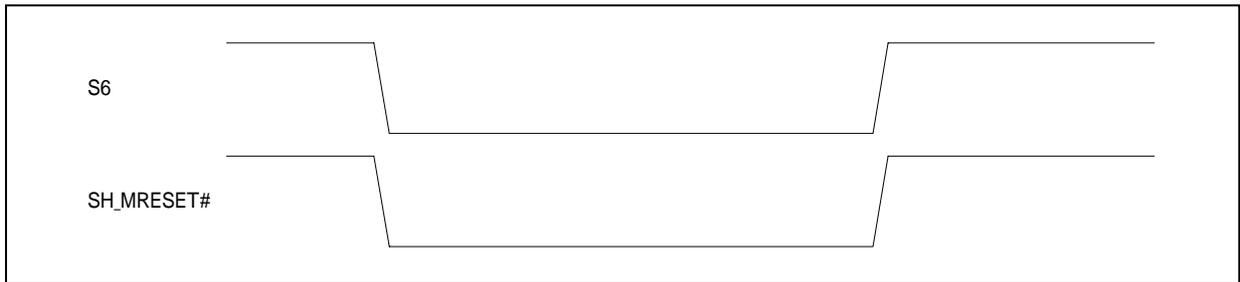


図2.15.3 マニュアルリセットタイミング

### 2.15.4. CFカードへのリセット信号

CFカードへのリセット信号については、CFカードへの電源供給制御IC(TPS2211)から出力される電源が安定した後にCFカードへのリセットを解除する仕様になっています。また、TPS2211からの電源を遮断する際にCFカードへのリセット信号を有効にします。図2.15.4にCFカードリセットタイミングを示します。

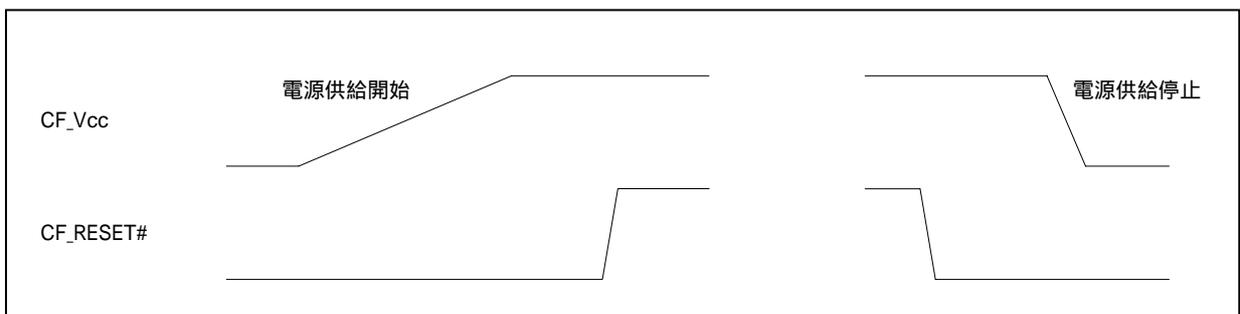


図2.15.4 CFカードリセットタイミング

### 3. FPGA機能説明

#### 3.1. 端子機能

本製品には、ALTERA社製EP1C4F400C8Nを搭載しています。表3.1.1に端子機能配置を示します。JTAG専用端子及び電源関連端子は割愛いたします。各端子機能はEP1C4F400C8Nの資料を参照してください。

表3.1.1 EP1C4F400C8N端子機能

信号名	端子番号	IO	内容	Active
SH_CS0#	A4	I	SH7751Rチップ選択信号	L
SH_CS1#	A6	I	SH7751Rチップ選択信号	L
SH_CS2#	A7	I	SH7751Rチップ選択信号	L
SH_CS4#	A9	I	SH7751Rチップ選択信号	L
SH_CS5#	A10	I	SH7751Rチップ選択信号	L
SH_CS6#	B4	I	SH7751Rチップ選択信号	L
SH_BS#	B5	I	SH7751Rバススタート信号	L
SH_WE0#	B6	I	SH7751Rライトイネーブル信号	L
SH_WE1#	B7	I	SH7751Rライトイネーブル信号	L
SH_WE2#	B8	I	SH7751Rライトイネーブル信号	L
SH_WE3#	B9	I	SH7751Rライトイネーブル信号	L
SH_RD#	B10	I	SH7751Rリード信号	L
SH_RDWE#	C2	I	SH7751Rリードライト信号	R:H/W:L
SH_RDY#	C5	O	SH7751Rレディ信号	L
SH_CKIO	K5	I	SH7751Rクロック出力信号	-
SH_RESET#	T4	O	SH7751Rへのリセット出力	L
SH_IRL0#	C7	O	SH7751R割込み信号	L
SH_IRL1#	C8	O	SH7751R割込み信号	L
SH_IRL2#	C9	O	SH7751R割込み信号	L
SH_IRL3#	C10	O	SH7751R割込み信号	L
SH_DREQ0	D1	O	SH7751R DMA要求信号	L
SH_DREQ1	D2	O	SH7751R DMA要求信号	L
SH_DACK0	D4	I	SH7751R DMAアクノリッジ信号	H
SH_DACK1	D5	I	SH7751R DMAアクノリッジ信号	H
SH_A[1]	D6	I	SH7751Rアドレス	-
SH_A[2]	D7	I	SH7751Rアドレス	-
SH_A[3]	D8	I	SH7751Rアドレス	-
SH_A[4]	D9	I	SH7751Rアドレス	-
SH_A[5]	D10	I	SH7751Rアドレス	-
SH_A[6]	E2	I	SH7751Rアドレス	-
SH_A[7]	E3	I	SH7751Rアドレス	-
SH_A[8]	E4	I	SH7751Rアドレス	-
SH_A[9]	E5	I	SH7751Rアドレス	-
SH_A[10]	E6	I	SH7751Rアドレス	-
SH_A[11]	E7	I	SH7751Rアドレス	-
SH_A[12]	E8	I	SH7751Rアドレス	-
SH_A[13]	E9	I	SH7751Rアドレス	-
SH_A[14]	E10	I	SH7751Rアドレス	-
SH_A[15]	F1	I	SH7751Rアドレス	-
SH_A[16]	F2	I	SH7751Rアドレス	-
SH_A[17]	F4	I	SH7751Rアドレス	-
SH_A[18]	F5	I	SH7751Rアドレス	-
SH_A[19]	F6	I	SH7751Rアドレス	-

信号名	端子番号	IO	内容	Active
SH_A[20]	F7	I	SH7751Rアドレス	-
SH_A[21]	F8	I	SH7751Rアドレス	-
SH_A[22]	F10	I	SH7751Rアドレス	-
SH_A[23]	G1	I	SH7751Rアドレス	-
SH_A[24]	G2	I	SH7751Rアドレス	-
SH_A[25]	G3	I	SH7751Rアドレス	-
SH_D[0]	G4	IO	SH7751Rデータ	-
SH_D[1]	G5	IO	SH7751Rデータ	-
SH_D[2]	G6	IO	SH7751Rデータ	-
SH_D[3]	G7	IO	SH7751Rデータ	-
SH_D[4]	H1	IO	SH7751Rデータ	-
SH_D[5]	H2	IO	SH7751Rデータ	-
SH_D[6]	H3	IO	SH7751Rデータ	-
SH_D[7]	H4	IO	SH7751Rデータ	-
SH_D[8]	H5	IO	SH7751Rデータ	-
SH_D[9]	H6	IO	SH7751Rデータ	-
SH_D[10]	H7	IO	SH7751Rデータ	-
SH_D[11]	J1	IO	SH7751Rデータ	-
SH_D[12]	J2	IO	SH7751Rデータ	-
SH_D[13]	J3	IO	SH7751Rデータ	-
SH_D[14]	J4	IO	SH7751Rデータ	-
SH_D[15]	J5	IO	SH7751Rデータ	-
SH_D[16]	J6	IO	SH7751Rデータ	-
SH_D[17]	J7	IO	SH7751Rデータ	-
SH_D[18]	J8	IO	SH7751Rデータ	-
SH_D[19]	M1	IO	SH7751Rデータ	-
SH_D[20]	M2	IO	SH7751Rデータ	-
SH_D[21]	M3	IO	SH7751Rデータ	-
SH_D[22]	M4	IO	SH7751Rデータ	-
SH_D[23]	M5	IO	SH7751Rデータ	-
SH_D[24]	M6	IO	SH7751Rデータ	-
SH_D[25]	M7	IO	SH7751Rデータ	-
SH_D[26]	N1	IO	SH7751Rデータ	-
SH_D[27]	N2	IO	SH7751Rデータ	-
SH_D[28]	N3	IO	SH7751Rデータ	-
SH_D[29]	N4	IO	SH7751Rデータ	-
SH_D[30]	N5	IO	SH7751Rデータ	-
SH_D[31]	N6	IO	SH7751Rデータ	-
CF_VCC5EN#	R4	O	CFカード5V電源制御	L
CF_VCC3EN#	R5	O	CFカード3.3V電源制御	L
CF_IORD#	R6	O	CFカードリード信号	L
CF_IOWR#	R7	O	CFカードライト信号	L
CF_CE0#	T2	O	CFカードチップ選択信号	L
CF_CE1#	T3	O	CFカードチップ選択信号	L
CF_CDINT1#	T5	I	CFカード挿入検出信号	L
CF_CDINT2#	T7	I	CFカード挿入検出信号	L
CF_INT	T8	I	CFカード割込み信号	L
CF_RDY#	T9	I	CFカードレディ信号	H
CF_RST#	T10	O	CFカードへのリセット信号	L
CF_DET_LED	R9	O	CFカード挿入検出LED制御信号	H
CF_A[0]	U1	O	CFカードアドレス	-
CF_A[1]	U2	O	CFカードアドレス	-

信号名	端子番号	IO	内容	Active
CF_A[2]	U3	OO	CFカードアドレス	-
CF_D[0]	V2	IO	CFカードデータ	-
CF_D[1]	V3	IO	CFカードデータ	-
CF_D[2]	V4	IO	CFカードデータ	-
CF_D[3]	V5	IO	CFカードデータ	-
CF_D[4]	V6	IO	CFカードデータ	-
CF_D[5]	V7	IO	CFカードデータ	-
CF_D[6]	V8	IO	CFカードデータ	-
CF_D[7]	V9	IO	CFカードデータ	-
CF_D[8]	V10	IO	CFカードデータ	-
CF_D[9]	W3	IO	CFカードデータ	-
CF_D[10]	W4	IO	CFカードデータ	-
CF_D[11]	W5	IO	CFカードデータ	-
CF_D[12]	W6	IO	CFカードデータ	-
CF_D[13]	W7	IO	CFカードデータ	-
CF_D[14]	W8	IO	CFカードデータ	-
CF_D[15]	W9	IO	CFカードデータ	-
PCI_INTA#	Y6	I	PCI割込み信号	L
PCI_INTB#	Y7	I	PCI割込み信号	L
PCI_INTC#	Y8	I	PCI割込み信号	L
PCI_INTD#	Y9	I	PCI割込み信号	L
PCI_PRST#	Y4	O	PCIリセット出力信号	L
FROM_CS#_FPGA	R1	O	FROMボード用チップ選択信号	L
FROM_RST#	R2	O	FROMボードへのリセット出力信号	L
EXT_RD/WE#	C14	O	拡張コネクタへのRD/WR信号	R:H/W:L
EXT_DB_OE#	C16	O	拡張コネクタへのRD信号	L
EXT_INT0#	C17	I	拡張コネクタからの割込み信号	L
EXT_INT1#	C18	I	拡張コネクタからの割込み信号	L
EXT_INT2#	C19	I	拡張コネクタからの割込み信号	L
EXT_INT3#	K15	I	拡張コネクタからの割込み信号	L
EXT_RESET#_OUT	D11	O	拡張コネクタへのリセット出力信号	L
EXT_RESET#_IN	D12	I	拡張コネクタからのリセット入力信号	L
SM501_RESET#	D15	O	SM501へのリセット出力信号	L
SM501_INT#	D16	I	SM501割込み信号	L
SM501_BS#	D17	O	SM501用バススタート信号	L
SM501_CS#	D18	O	SM501用チップ選択信号	L
SM501_RDY#	E17	I	SM501用レディ信号	L
RTC_AIRQ#	F16	I	RTC用アラーム割込み信号	L
RTC_TIRQ#	F17	I	RTC用タイマ割込み信号	L
RTC_CE	F19	O	RTC用チップ選択信号	H
LOCAL_BUS_EN#	G15	O	拡張コネクタへのデータバスバッファ制御信号	L
EXT_DACK0	G16	O	拡張コネクタ用DMA要求信号	H
EXT_DACK1	G17	O	拡張コネクタ用DMA要求信号	H
EXT_DREQ0#	G18	I	拡張コネクタ用DMAアクノリッジ信号	L
EXT_DREQ1#	G19	I	拡張コネクタ用DMAアクノリッジ信号	L
POWER_OFF#	G20	O	ボード電源OFF用信号	L
SH_MODESET#	W14	O	SH7751Rモード設定用信号	L
POWER_RESET#	F3	I	パワーオンリセット入力信号	L
SCI_TXD	W10	O	FPGA内蔵SCIF送信データ信号	-
SCI_RXD	W16	I	FPGA内蔵SCIF受信データ信号	-
TP_BUSY	F12	I	タッチパネルコントローラ用ビジー	H
TP_CS#	H18	O	タッチパネルコントローラ用チップ選択信号	L

信号名	端子番号	IO	内容	Active
TP_DIN	H19	O	タッチパネルコントローラ用データ出力信号	-
TP_DOUT	H20	I	タッチパネルコントローラ用データ入力信号	-
TP_DCLK	R11	O	タッチパネルコントローラ用基準クロック出力	-
TP_INT#	M19	I	タッチパネルコントローラ割込み信号	H
LCD_BKL_OFF#	C6	O	LCDパネル用バックライト制御信号	L
SCI_RTS	V12		FPGA内蔵SCIFモデム信号	-
SCI_CTS	V13		FPGA内蔵SCIFモデム信号	-
Reserved [1]	V14		0 抵抗にてパタン引き出し	-
Reserved [2]	V15		0 抵抗にてパタン引き出し	-
Reserved [3]	V16		0 抵抗にてパタン引き出し	-
Reserved [4]	V17		0 抵抗にてパタン引き出し	-
Reserved [5]	W11		0 抵抗にてパタン引き出し	-
Reserved [6]	W13		0 抵抗にてパタン引き出し	-
USB_RESET#	W12		USB Hubコントローラ用リセット信号	-
FPGA_GPIO00	H14	IO	FPGA汎用GPIO	-
FPGA_GPIO01	H15	IO	FPGA汎用GPIO	-
FPGA_GPIO02	H16	IO	FPGA汎用GPIO	-
FPGA_GPIO03	H17	IO	FPGA汎用GPIO	-
FPGA_GPIO04	J13	IO	FPGA汎用GPIO	-
FPGA_GPIO05	J14	IO	FPGA汎用GPIO	-
FPGA_GPIO06	J15	IO	FPGA汎用GPIO	-
FPGA_GPIO07	J16	IO	FPGA汎用GPIO	-
FPGA_GPIO08	M14	IO	FPGA汎用GPIO	-
FPGA_GPIO09	M15	IO	FPGA汎用GPIO	-
FPGA_GPIO10	M16	IO	FPGA汎用GPIO	-
FPGA_GPIO11	M17	IO	FPGA汎用GPIO	-
FPGA_GPIO12	M18	IO	FPGA汎用GPIO	-
FPGA_GPIO13	M20	IO	FPGA汎用GPIO	-
FPGA_GPIO14	N14	IO	FPGA汎用GPIO	-
FPGA_GPIO15	N15	IO	FPGA汎用GPIO	-
FPGA_GPIO16	N16	IO	FPGA汎用GPIO	-
FPGA_GPIO17	N17	IO	FPGA汎用GPIO	-
FPGA_GPIO18	N18	IO	FPGA汎用GPIO	-
FPGA_GPIO19	N19	IO	FPGA汎用GPIO	-
FPGA_GPIO20	P1	IO	FPGA汎用GPIO	-
FPGA_GPIO21	P2	IO	FPGA汎用GPIO	-
FPGA_GPIO22	P3	IO	FPGA汎用GPIO	-
FPGA_GPIO23	R13	IO	FPGA汎用GPIO	-
FPGA_GPIO24	R14	IO	FPGA汎用GPIO	-
FPGA_GPIO25	R15	IO	FPGA汎用GPIO	-
FPGA_GPIO26	R16	IO	FPGA汎用GPIO	-
FPGA_GPIO27	R17	IO	FPGA汎用GPIO	-
FPGA_GPIO28	R18	IO	FPGA汎用GPIO	-
FPGA_GPIO29	R19	IO	FPGA汎用GPIO	-
FPGA_GPIO30	R20	IO	FPGA汎用GPIO	-
FPGA_GPIO31	U12	IO	FPGA汎用GPIO	-
FPGA_GPIO32	U13	IO	FPGA汎用GPIO	-
FPGA_GPIO33	U14	IO	FPGA汎用GPIO	-
FPGA_GPIO34	U15	IO	FPGA汎用GPIO	-
FPGA_GPIO35	T11	IO	FPGA汎用GPIO	-
FPGA_GPIO36	T12	IO	FPGA汎用GPIO	-
FPGA_GPIO37	T13	IO	FPGA汎用GPIO	-

信号名	端子番号	IO	内容	Active
FPGA_GPIO38	T14	IO	FPGA汎用GPIO	-
FPGA_GPIO39	T15	IO	FPGA汎用GPIO	-
FPGA_GPIO40	T16	IO	FPGA汎用GPIO	-
FPGA_GPIO41	T17	IO	FPGA汎用GPIO	-
FPGA_GPIO42	T18	IO	FPGA汎用GPIO	-
FPGA_GPIO43	U16	IO	FPGA汎用GPIO	-
FPGA_GPIO44	U17	IO	FPGA汎用GPIO	-
FPGA_GPIO45	J17	IO	FPGA汎用GPIO	-
FPGA_GPIO46	J18	IO	FPGA汎用GPIO	-
FPGA_GPIO47	J19	IO	FPGA汎用GPIO	-
FPGA_GPIO48	J20	IO	FPGA汎用GPIO	-
FPGA_GPIO49	K19	IO	FPGA汎用GPIO	-
FPGA_GPIO50	V19	IO	FPGA汎用GPIO	-
FPGA_GPIO51	W18	IO	FPGA汎用GPIO	-
FPGA_GPIO52	U20	IO	FPGA汎用GPIO	-
EXT_PRST#	N7	IO	拡張ボード検出用	L
FPGA_LED0	A11	O	デバッグ用LED制御用	H
FPGA_LED1	A12	O	デバッグ用LED制御用	H
FPGA_LED2	A13	O	デバッグ用LED制御用	H
FPGA_LED3	A14	O	デバッグ用LED制御用	H
FPGA_LED4	A15	O	デバッグ用LED制御用	H
FPGA_LED5	A17	O	デバッグ用LED制御用	H
FPGA_LED6	B11	O	デバッグ用LED制御用	H
FPGA_LED7	B12	O	デバッグ用LED制御用	H
FPGA_SW0	B13	I	デバッグ用DIPスイッチ制御用	-
FPGA_SW1	B14	I	デバッグ用DIPスイッチ制御用	-
FPGA_SW2	B15	I	デバッグ用DIPスイッチ制御用	-
FPGA_SW3	B16	I	デバッグ用DIPスイッチ制御用	-
FPGA_SW4	B17	I	デバッグ用DIPスイッチ制御用	-
FPGA_SW5	B18	I	デバッグ用DIPスイッチ制御用	-
FPGA_SW6	C11	I	デバッグ用DIPスイッチ制御用	-
FPGA_SW7	C12	I	デバッグ用DIPスイッチ制御用	-
B_SW1	P4	I	ブートローダモード切替え用DIPスイッチ制御	-
B_SW2	P5	I	ブートローダモード切替え用DIPスイッチ制御	-
B_SW3	P6	I	ブートローダモード切替え用DIPスイッチ制御	-

## 3.2. 内蔵レジスタアドレスマップ

表3.2.1にFPGA内蔵レジスタアドレスマップを示します。

表3.2.1 FPGA内蔵レジスタアドレスマップ

No.	レジスタ名称	略称	bit	初期値	R/W	アドレス
1	割込みマスク制御	IRLMSK	16	H'0000	R/W	H'0400_0000
2	割込みステータス制御	IRLMON	16	H'0000	R/W	H'0400_0002
3	CFカードタイミング制御	CFCTL	16	H'0000	R/W	H'0400_0004
4	CFカード電源供給制御	CFPOW	16	H'0000	R/W	H'0400_0006
5	RTCチップイネーブル制御	RTCCE	16	H'0000	R/W	H'0400_000C
6	PCI拡張スロットカード 検出制御	PCICD	16	H'0000	R	H'0400_000E
7	タッチパネルコントロール ブロック制御	TP_CTL	16	H'0000	R/W	H'0400_0010
8	タッチパネルTXCLK制御	TP_TXCLK	16	H'0000	R/W	H'0400_0012
9	タッチパネルコントロール ブロックリセット制御	TP_RST	16	H'0000	W	H'0400_0014
10	タッチパネルXポジション リードデータ制御	TP_XRD	16	H'0000	R	H'0400_0016
11	タッチパネルYポジション リードデータ制御	TP_YRD	16	H'0000	R	H'0400_0018
12	SM501リセット制御	SM501RST	16	H'0000	W	H'0400_0020
13	CFカードリセット制御	CFRST	16	H'0000	W	H'0400_0024
14	外部拡張コネクタリセット 制御	EXTRST	16	H'0000	R/W	H'0400_0028
15	CFカード挿入検出割込み クリア制御	CFCDINTCLR	16	H'0000	W	H'0400_002A
16	ボード電源OFF制御	POWOFF	16	H'0000	W	H'0400_0030
17	FPGAバージョン情報	VERREG	16	H'0010	R	H'0400_0032
18	汎用入力ポート制御	INPORT	16	H'00xx	R	H'0400_0034
19	汎用出力ポート制御	OUTPORT	16	H'0000	W	H'0400_0036
20	ボードバージョン情報	BVERREG	16	H'0011	R	H'0400_0038
21	GPIOデータ0グループ	GPIO_DATA_0G	16	H'0000	R/W	H'0400_0040
22	GPIOデータ1グループ	GPIO_DATA_1G	16	H'0000	R/W	H'0400_0042
23	GPIOデータ2グループ	GPIO_DATA_2G	16	H'0000	R/W	H'0400_0044
24	GPIOデータ3グループ	GPIO_DATA_3G	16	H'0011	R/W	H'0400_0046
25	GPIO0グループDIR	GPIO_DIR_0G	16	H'0000	R/W	H'0400_0048
26	GPIO1グループDIR	GPIO_DIR_1G	16	H'0000	R/W	H'0400_004A
27	GPIO2グループDIR	GPIO_DIR_2G	16	H'0000	R/W	H'0400_004C
28	GPIO3グループDIR	GPIO_DIR_3G	16	H'0000	R/W	H'0400_004E
29	拡張ボードステータス	EXT_PRST	16	H'0000	R	H'0400_0050
30	FROMボードリセット出力 制御	FROMRST	16	H'0000	W	H'0400_0052
31	LCDバックライト電源制御	LCDPOW	18	H'0000	W	H'0400_0054
32	SCIFシリアルモード制御	SCSMR	16	H'0000	R/W	H'0400_0100
33	SCIFビットレート制御	SCBRR	16	H'00FF	R/W	H'0400_0104
34	SCIF制御	SCSCR	16	H'0000	R/W	H'0400_0108
35	SCIF送信FIFO	SCFTDR	16	H'0000	W	H'0400_010C
36	SCIFステータス制御	SCFSR	16	H'0060	R/(W)	H'0400_0110
37	SCIF受信FIFO	SCFRDR	16	H'0000	R	H'0400_0114
38	SCIF FIFO制御	SCFCR	16	H'0000	R/W	H'0400_0118
39	SCIF FIFOデータ数	SCFDR	16	H'0000	R	H'0400_011C
40	SCIFシリアルポート制御	SCSPTR	16	H'0000	R/W	H'0400_0120
41	SCIFラインステータス	SCLSR	16	H'0000	R/(W)	H'0400_0124

### 3.3. レジスタ説明

#### 3.3.1. 割込みマスク制御レジスタ(IRLMSK)

本レジスタは、SH7751Rへの各種割込みのマスク制御を行います。

割込みマスク制御レジスタ(IRLMSK)

<アドレス : H'0400\_0000>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPRD	PCI_	PCI_	PCI_	PCI_	SM501	CF_	CF_CD	SCI_		RTC_	RTC_				EXT_
IRQ_	INTA_	INTB_	INTC_	INTD_	_INT_	INT_	INT_	INT_	-	AIRQ_	TIRQ_	-	-	-	INT_
MSK	MSK	MSK	MSK	MSK	MSK	MSK	MSK	MSK		MSK	MSK				MSK
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W
15	TPRDIRQ_MSK タッチパネル割込みマスクビット	0 : タッチパネル割込みマスク 1 : タッチパネル割込み許可	R	W
14	PCI_INTA_MSK PCI割込みAマスクビット	0 : PCI割込みAマスク 1 : PCI割込みA許可	R	W
13	PCI_INTB_MSK PCI割込みBマスクビット	0 : PCI割込みBマスク 1 : PCI割込みB許可	R	W
12	PCI_INTC_MSK PCI割込みCマスクビット	0 : PCI割込みCマスク 1 : PCI割込みC許可	R	W
11	PCI_INTD_MSK PCI割込みDマスクビット	0 : PCI割込みDマスク 1 : PCI割込みD許可	R	W
10	SM501_INT_MSK SM501割込みマスクビット	0 : SM501割込みマスク 1 : SM501割込み許可	R	W
9	CF_INT_MSK CFカード割込みマスクビット	0 : CFカード割込みマスク 1 : CFカード割込み許可	R	W
8	CF_CDINT_MSK CFカード挿入割込みマスクビット	0 : CFカード挿入割込みマスク 1 : CFカード挿入割込み許可	R	W
7	SCI_INT_MSK FPGA内蔵SCIF割込みマスクビット	0 : FPGA内蔵SCIF割込みマスク 1 : FPGA内蔵割込み許可	R	W
6	何も配置されていません		0	-
5	RTC_AIRQ_MSK RTCアラーム割込みマスクビット	0 : RTCアラーム割込みマスク 1 : RTCアラーム割込み許可	R	W
4	RTC_TIRQ_MSK RTCタイマ割込みマスクビット	0 : RTCタイマ割込みマスク 1 : RTCタイマ割込み許可	R	W
3~1	何も配置されていません		0	-
0	EXT_INT_MSK 外部拡張コネクタ割込みマスクビット	0 : 外部拡張コネクタ割込みマスク 1 : 外部拡張コネクタ割込み許可	R	W

## 3.3.1.1. 割込みの種類と優先順位について

表3.3.1に本製品で発生する割り込みについて示します。

表3.3.1 割込み一覧

No.	割込み種類	優先レベル		備考
1	PCI_INTD(Ethernet)割込み	15	高い	“L”レベル
2	CFカード割込み	14		“H”レベル
3	CFカード挿入割込み	13		“L”レベル
4	PCI_INEC(CardBusカード)割込み	12		“L”レベル
5	SM501割込み	11		“L”レベル
6	FPGA内蔵SCIF割込み	10		“L”レベル
7	RTC アラーム割込み	9		“L”レベル
8	RTC タイマ割込み	8		“L”レベル
9	-	7		-
10	PCI_INTA(PCI汎用カード)割込み	6		“L”レベル
11	PCI_INTB(Ethernet Hub)割込み	5	“L”レベル	
12	外部拡張コネクタ割込み0	4	低い	“L”レベル
13	外部拡張コネクタ割込み1			
14	外部拡張コネクタ割込み2			
15	外部拡張コネクタ割込み3			
16	タッチパネルリード要求割込み	3	低い	“L”レベル

## 3.3.2. 割込みステータス制御レジスタ(IRLMON)

本レジスタは、SH7751Rへの各種割込みをモニタする為に使用します。

割込みステータス制御レジスタ(IRLMON)

<アドレス：H'0400\_0002>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPRD IRQ_ MON	PCI_ INTA_ MON	PCI_ INTB_ MON	PCI_ INTC_ MON	PCI_ INTD_ MON	SM501 _INT_ MON	CF_ INT_ MON	CF_CD INT_ MON	SCI_ INT_ MON	-	RTC_ AIRQ_ MON	RTC_ TIRQ_ MON	EXT_ INT0_ MON	EXT_ INT1_ MON	EXT_ INT2_ MON	EXT_ INT3_ MON
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W
15	TPRDIRQ_MON タッチパネル割込みモニタビット	0：タッチパネル割込み無し 1：タッチパネル割込み有り	R	-
14	PCI_INTA_MON PCI割込みAモニタビット	0：PCI割込みA無し 1：PCI割込みA有り	R	-
13	PCI_INTB_MON PCI割込みBモニタビット	0：PCI割込みB無し 1：PCI割込みB有り	R	-
12	PCI_INTC_MON PCI割込みCモニタビット	0：PCI割込みC無し 1：PCI割込みC有り	R	-
11	PCI_INTD_MON PCI割込みDモニタビット	0：PCI割込みD無し 1：PCI割込みD有り	R	-
10	SM501_INT_MON SM501割込みモニタビット	0：SM501割込み無し 1：SM501割込み有り	R	-
9	CF_INT_MON CFカード割込みモニタビット	0：CFカード割込み無し 1：CFカード割込み有り	R	-
8	CF_CDINT_MON CFカード挿入割込みモニタビット	0：CFカード挿入割込み無し 1：CFカード挿入割込み有り	R	-
7	SCI_INT_MON FPGA内蔵SCIF割込みモニタビット	0：FPGA内蔵SCIF割込み無し 1：FPGA内蔵SCIF割込み有り	R	-
6	何も配置されていません		0	-
5	RTC_AIRQ_MON RTCアラーム割込みモニタビット	0：RTCアラーム割込み無し 1：RTCアラーム割込み有り	R	-
4	RTC_TIRQ_MON RTCタイマ割込みモニタビット	0：RTCタイマ割込み無し 1：RTCタイマ割込み有り	R	-
3	EXT_INT0_MON 外部拡張コネクタ割込みモニタビット	0：外部拡張コネクタ割込み0無し 1：外部拡張コネクタ割込み0有り	R	-
2	EXT_INT1_MON 外部拡張コネクタ割込みモニタビット	0：外部拡張コネクタ割込み1無し 1：外部拡張コネクタ割込み1有り	R	-
1	EXT_INT2_MON 外部拡張コネクタ割込みモニタビット	0：外部拡張コネクタ割込み2無し 1：外部拡張コネクタ割込み2有り	R	-
0	EXT_INT3_MON 外部拡張コネクタ割込みモニタビット	0：外部拡張コネクタ割込み3無し 1：外部拡張コネクタ割込み3有り	R	-

3.3.3. CFカードタイミング制御レジスタ(CFCTL)

本レジスタは、CFカードアクセスタイミングに制御を行います。SH7751Rからのアクセス設定は、SRAMモードでのアクセスとしてください。また、SH7751Rのソフトウェアは、モード5設定時は12を想定しています。

CFカードタイミング制御レジスタ(CFCTL)

<アドレス : H'0400\_0004>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	TCLK 1	TCLK 0	-	TED2	TED1	TED0	-	THE2	THE1	THE0	-	-	PCW1	PCW0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W			
15,14	何も配置されていません		0	-			
13	TCLK1 タイミングクロック分周設定ビット1	タイミングクロック分周設定		R	W		
		b13 TCLK1	b12 TCLK0			クロック	
12	TCLK0 タイミングクロック分周設定ビット0	0	0		R	W	
		0	1	/2			
11	何も配置されていません	1	0	/4	R	W	
		1	1	/8			
10	TED2 アドレス-IORD#/IOWR#アサート遅延設定 ビット2	アドレス-IORD#/IOWR#アサート遅延設定			R	W	
9	TED1 アドレス-IORD#/IOWR#アサート遅延設定 ビット1	b10 TED2	b9 TED1	b8 TED0			挿入 Wait数
		0	0	0	1		
8	TED0 アドレス-IORD#/IOWR#アサート遅延設定 ビット0	0	0	1	2	R	W
		0	1	0	3		
7	何も配置されていません	0	1	1	6	R	W
		1	0	0	9		
6	THE2 IORD#/IOWR#ネゲート-アドレス遅延設定 ビット2	1	0	1	12	R	W
		1	1	0	15		
5	THE1 IORD#/IOWR#ネゲート-アドレス遅延設定 ビット1	1	1	1	設定禁止	R	W
		0	0	0	1		
4	THE0 IORD#/IOWR#ネゲート-アドレス遅延設定 ビット0	0	0	1	2	R	W
		0	1	0	3		
3,2	何も配置されていません	0	1	1	6	R	W
		1	0	0	9		
1	PCW1 PCMCIAウェイト挿入数設定ビット1	PCMCIAウェイト挿入数設定			R	W	
		b1 PCW1	b0 PCW0	挿入 Wait数			
0	PCW0 PCMCIAウェイト挿入数設定ビット0	0	0	1	R	W	
		0	1	15			
		1	0	20	R	W	
		1	1	30			

3.3.3.1. CFカードタイミング制御について

CFカードへのアクセスタイミングは、本製品に搭載しているFPGAで生成しています。CFカードは、SH7751Rのエリア5に配置しています。SH7751Rのバスステートコントローラ(BSC)でWCR2のb25～b23は”100”としてください。その他のエリア5に関連するSH7751RのBSCの設定値はSRAMインタフェースアクセス、16ビット幅の設定にしてください。CFカードアクセスリードタイミングを図3.3.3.1にライトタイミングを図3.3.3.2に示します。

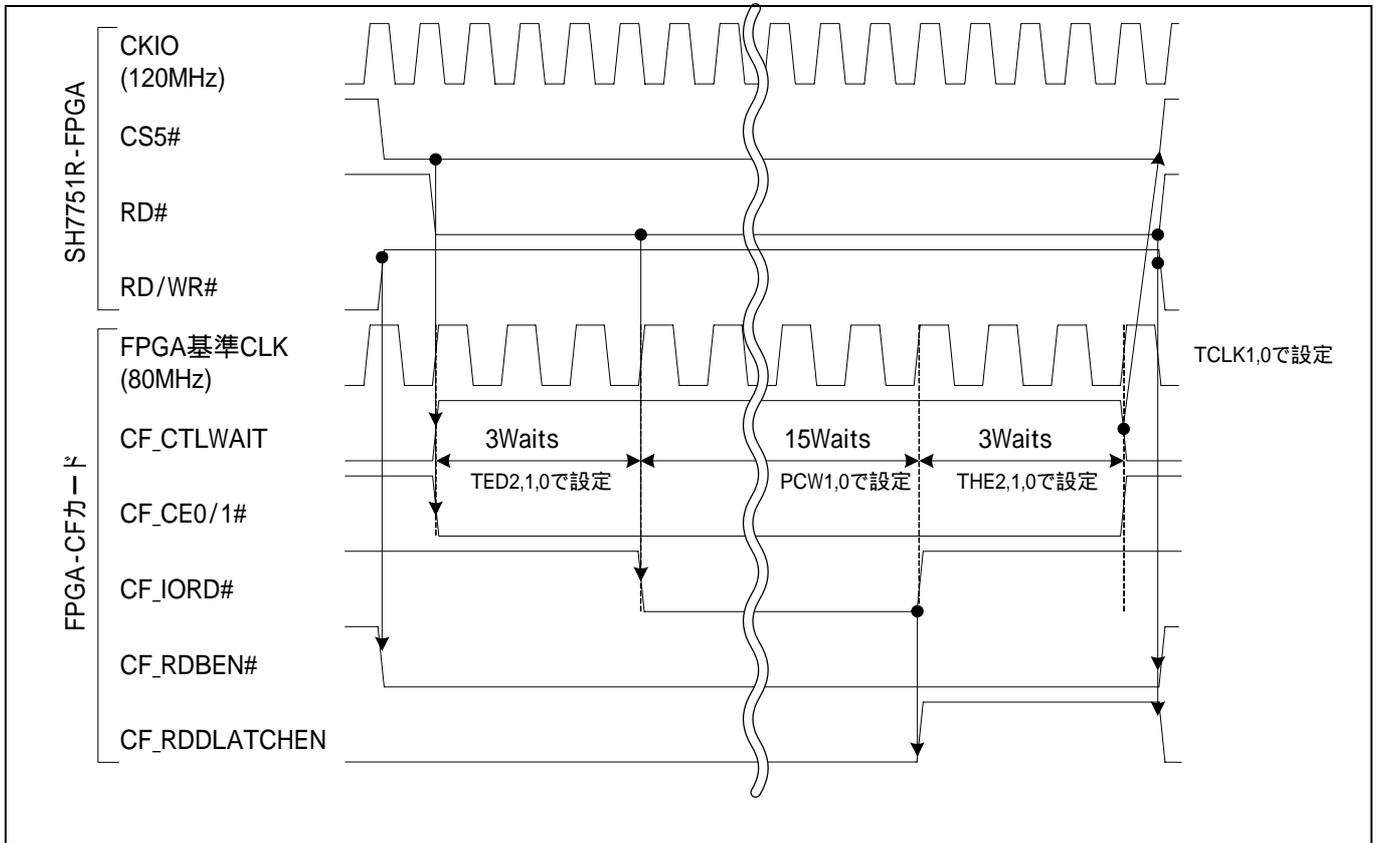


図3.3.3.1 CFカードリードタイミング(CFCTL=H'0221 : TCLK: /TED:3cycles/THE:3cycles/PCW:15waits)

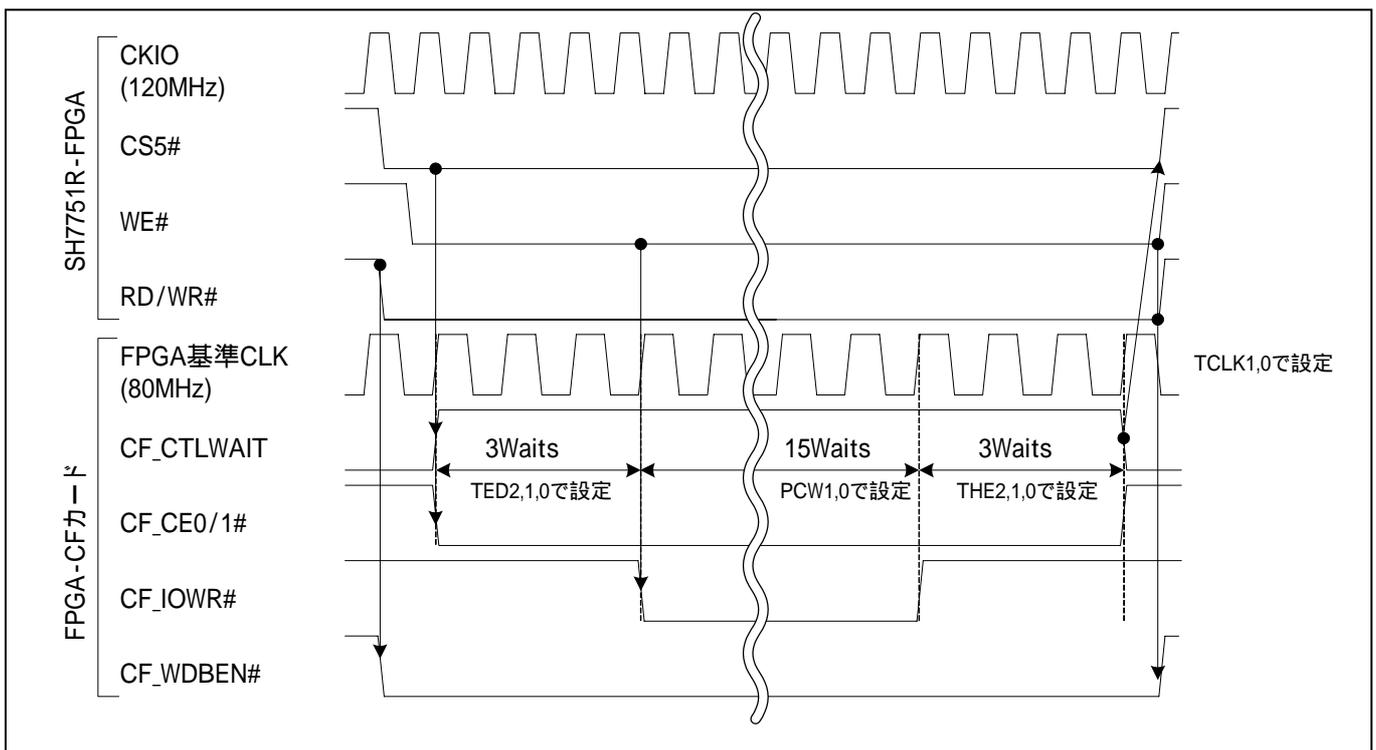


図3.3.3.2 CFカードライトタイミング(CFCTL=H'0221 : TCLK: /TED:3cycles/THE:3cycles/PCW:15waits)

## 3.3.4. CFカード電源供給制御レジスタ(CFPOW)

本レジスタは、CFカードへ供給する電源電圧を決定します。

CFカード電源供給制御レジスタ(CFPOW)

<アドレス：H'0400\_0006>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	VCC5 EN	VCC3 EN
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W		
15~2	何も配置されていません		0	-		
1	VCC5EN 5V供給制御ビット	CFカード電源供給設定			R	W
		b1	b0	供給電源		
0	VCC3EN 3.3V供給制御ビット	VCC5EN	VCC3EN	0V	R	W
		0	0	0V		
		0	1	3.3V		
		1	0	5.0V		
		1	1	設定禁止		

## 3.3.5. RTCチップイネーブル制御レジスタ(RTCCE)

本レジスタは、RTCのチップイネーブル信号の制御を行います。本信号が“L”の期間中RTCへのアクセスが有効となります。

RTCチップイネーブル制御レジスタ(RTCCE)

<アドレス：H'0400\_000C>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	CEEN
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W
15~1	何も配置されていません		0	-
0	CEEN RTCチップイネーブル制御ビット	0：ディセーブル 1：イネーブル	R	W

## 3.3.6. PCI拡張スロットカード検出制御レジスタ(PCICD)

本レジスタは、CN2へのPCIカードの挿入を検出するのに使用します。

PCI拡張スロットカード検出制御レジスタ(PCICD)

<アドレス：H'0400\_000E>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PCI_P RST1
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W
15~1	何も配置されていません		0	-
0	PCI_PRST1 PCIカード挿入検出ビット	0：PCIカード未挿入 1：PCIカード挿入	R	-

## 3.3.7. タッチパネルコントロールブロック制御レジスタ(TP\_CTL)

本レジスタは、タッチパネル制御ブロックの有効/無効の選択を行います。

タッチパネルコントロールブロック制御レジスタ(TP\_CTL)

<アドレス：H'0400\_0010>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	TEN
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W
15~1	何も配置されていません		0	-
0	TEN タッチパネル制御ブロックイネーブルビット	0：タッチパネル制御ブロックディセーブル 1：タッチパネル制御ブロックイネーブル	R	W

## 3.3.8. タッチパネルTXCLK制御レジスタ(TP\_TXCLK)

本レジスタは、タッチパネルコントローラに入力する基準クロックを設定します。

タッチパネルTXCLK制御レジスタ(TP\_TXCLK)

<アドレス：H'0400\_0012>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	-	-	TC3	TC2	TC1	TC0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W				
15~4	何も配置されていません		0	-				
3	TC3 タッチパネルコントローラ用基準クロック 設定ビット3	基準クロック設定					R	W
		b3	b2	b1	b0	基準 クロック		
2	TC2 タッチパネルコントローラ用基準クロック 設定ビット2	TC3	TC2	TC1	TC0	60KHz	R	W
		0	0	0	1	65KHz		
		0	0	1	0	70KHz		
		0	0	1	1	75KHz		
1	TC1 タッチパネルコントローラ用基準クロック 設定ビット1	0	1	0	0	80KHz	R	W
		0	1	0	1	85KHz		
		0	1	1	0	90KHz		
		0	1	1	1	95KHz		
0	TC0 タッチパネルコントローラ用基準クロック 設定ビット0	1	0	0	0	100KHz	R	W
		1	0	0	1	105KHz		
		1	0	1	0	110KHz		
上記以外の設定は約60KHzとなります								

## 3.3.9. タッチパネルコントロールブロックリセット制御レジスタ(TP\_RST)

本レジスタは、タッチパネル制御ブロックのリセットを行います。

タッチパネルコントロールブロックリセット制御レジスタ(TP\_RST)

<アドレス：H'0400\_0014>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	TPRST
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W
15~1	何も配置されていません		0	-
0	TPRST タッチパネル制御ブロックリセット制御ビット	0：無効 1：リセット	0	W

## 3.3.10. タッチパネルXポジションリードデータ制御レジスタ(TP\_XRD)

本レジスタは、タッチパネルコントローラからのXポジションデータが格納されます。読み出し後自動的にクリアされます。

タッチパネルXポジションリードデータ制御レジスタ(TP\_XRD)

<アドレス : H'0400\_0016>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	XD11	XD10	XD9	XD8	XD7	XD6	XD5	XD4	XD3	XD2	XD1	XD0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W
15 ~ 12	何も配置されていません		0	-
11	XD11 Xポジションデータ11	タッチパネルコントローラからのXポジションデータが格納されます。 読み出し後自動的にクリアされます。	R	-
10	XD10 Xポジションデータ10		R	-
9	XD9 Xポジションデータ9		R	-
8	XD8 Xポジションデータ8		R	-
7	XD7 Xポジションデータ7		R	-
6	XD6 Xポジションデータ6		R	-
5	XD5 Xポジションデータ5		R	-
4	XD4 Xポジションデータ4		R	-
3	XD3 Xポジションデータ3		R	-
2	XD2 Xポジションデータ2		R	-
1	XD1 Xポジションデータ1		R	-
0	XD0 Xポジションデータ0	R	-	

## 3.3.11. タッチパネルYポジションリードデータ制御レジスタ(TP\_YRD)

本レジスタは、タッチパネルコントローラからのYポジションデータが格納されます。読み出し後自動的にクリアされます。

タッチパネルYポジションリードデータ制御レジスタ(TP\_YRD)

<アドレス : H'0400\_0018>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	YD11	YD10	YD9	YD8	YD7	YD6	YD5	YD4	YD3	YD2	YD1	YD0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W
15 ~ 12	何も配置されていません		0	-
11	YD11 Yポジションデータ11	タッチパネルコントローラからのYポジションデータが格納されます。 読み出し後自動的にクリアされます。	R	-
10	YD10 Yポジションデータ10		R	-
9	YD9 Yポジションデータ9		R	-
8	YD8 Yポジションデータ8		R	-
7	YD7 Yポジションデータ7		R	-
6	YD6 Yポジションデータ6		R	-
5	YD5 Yポジションデータ5		R	-
4	YD4 Yポジションデータ4		R	-
3	YD3 Yポジションデータ3		R	-
2	YD2 Yポジションデータ2		R	-
1	YD1 Yポジションデータ1		R	-
0	YD0 Yポジションデータ0		R	-

## 3.3.12. SM501リセット制御レジスタ(SM501RST)

本レジスタは、SM501へのリセット出力制御を行います。

SM501リセット制御レジスタ(SM501RST)

<アドレス：H'0400\_0020>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	SM501_RST
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W
15~1	何も配置されていません		0	-
0	SM501_RST SM501リセット出力制御ビット	0：無効 1：リセット出力(約10usecのパルス幅)	0	W

## 3.3.13. CFカードリセット制御レジスタ(CFRST)

本レジスタは、CFカードへのリセット出力制御を行います。

CFカードリセット制御レジスタ(CFRST)

<アドレス：H'0400\_0024>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	CF_RST
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W
15~1	何も配置されていません		0	-
0	CF_RST CFカードリセット出力制御ビット	0：無効 1：リセット出力(約10usecのパルス幅)	0	W

## 3.3.14. 外部拡張コネクタリセット制御レジスタ(EXTRST)

本レジスタは、外部拡張コネクタへのリセットを制御します。

外部拡張コネクタリセット制御レジスタ(EXTRST)

<アドレス：H'0400\_0028>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	EXT_IN_ACTIVE	-	-	-	EXT_OUT_ACTIVE	-	-	-	EXT_OUT_RST
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W
15~9	何も配置されていません		0	-
8	EXT_IN_ACTIVE 外部拡張ボードからのリセット入力の極性設定ビット	0：アクティブ”L” 1：アクティブ”H”	R	W
7~5	何も配置されていません		0	-
4	EXT_OUT_ACTIVE 外部拡張ボードへのリセット出力の極性設定ビット	0：アクティブ”L” 1：アクティブ”H”	R	W
3~1	何も配置されていません		0	-
0	EXT_OUT_RST 外部拡張ボードへのリセット出力制御ビット	0：無効 1：リセット出力(約10usecのパルス幅)	0	W

## 3.3.15. CFカード挿入検出割込みクリア制御レジスタ(CFCDINTCLR)

本レジスタは、CFカードの挿入検出割込みのクリアを行います。

CFカード挿入検出割込みクリア制御レジスタ(CFCDINTCLR)

<アドレス：H'0400\_002A>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	CF CLR
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W
15~1	何も配置されていません		0	-
0	CFCLR CFカード挿入割込みクリアビット	0：無効 1：CFカード挿入割込みクリア	0	W

## 3.3.16. ボード電源OFF制御レジスタ(POWOFF)

本レジスタで、ボードの電源遮断が可能です。

ボード電源OFF制御レジスタ(POWOFF)

<アドレス：H'0400\_0030>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	POW_ OFF
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W
15~1	何も配置されていません		0	-
0	POW_OFF ボード電源遮断制御ビット	0：無効 1：ボード電源遮断	0	W

## 3.3.17. FPGAバージョン情報レジスタ(VERREG)

本レジスタには、FPGAの論理バージョンが格納されています。

FPGAバージョン情報レジスタ(VERREG)

<アドレス：H'0400\_0032>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	VER3	VER2	VER1	VER0	REV3	REV2	REV1	REV0
0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1

b	ビット名	機能	R	W
15~8	何も配置されていません		0	-
7	VER3 FPGAバージョン情報ビット3	バージョン情報	0	-
6	VER2 FPGAバージョン情報ビット2		0	-
5	VER1 FPGAバージョン情報ビット1		0	-
4	VER0 FPGAバージョン情報ビット0		1	-
3	REV3 FPGAリビジョン情報ビット3	リビジョン情報	0	-
2	REV2 FPGAリビジョン情報ビット2		0	-
1	REV1 FPGAリビジョン情報ビット1		0	-
0	REV0 FPGAリビジョン情報ビット0		1	-

## 3.3.18. 汎用入力ポート制御レジスタ(INPORT)

本レジスタは、FPGAに接続しているDIPスイッチの状態が格納されます。初期値は電源ON時のDIPスイッチの状態に依存する為不定とします。

汎用入力ポート制御レジスタ(INPORT)

<アドレス : H'0400\_0034>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	DIP SW7	DIP SW6	DIP SW5	DIP SW4	DIP SW3	DIP SW2	DIP SW1	DIP SW0
0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1

b	ビット名	機能	R	W
15 ~ 8	何も配置されていません		0	-
7	DIPSW7 DIPスイッチビット8状態表示ビット	S3ビット8状態表示 0 : OFF 1 : ON	0/1	-
6	DIPSW6 DIPスイッチビット7状態表示ビット	S3ビット7状態表示 0 : OFF 1 : ON	0/1	-
5	DIPSW5 DIPスイッチビット6状態表示ビット	S3ビット6状態表示 0 : OFF 1 : ON	0/1	-
4	DIPSW4 DIPスイッチビット5状態表示ビット	S3ビット5状態表示 0 : OFF 1 : ON	0/1	-
3	DIPSW3 DIPスイッチビット4状態表示ビット	S3ビット4状態表示 0 : OFF 1 : ON	0/1	-
2	DIPSW2 DIPスイッチビット3状態表示ビット	S3ビット3状態表示 0 : OFF 1 : ON	0/1	-
1	DIPSW1 DIPスイッチビット2状態表示ビット	S3ビット2状態表示 0 : OFF 1 : ON	0/1	-
0	DIPSW0 DIPスイッチビット1状態表示ビット	S3ビット1状態表示 0 : OFF 1 : ON	0/1	-

## 3.3.19. 汎用出力ポート制御レジスタ(OUTPORT)

本レジスタは、FPGAに接続しているLEDの制御を行います。

汎用出力ポート制御レジスタ(OUTPORT)

<アドレス : H'0400\_0036>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	LED7	LED6	LED5	LED4	LED3	LED2	LED1	LED0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W
15~8	何も配置されていません		0	-
7	LED7 LED16点灯制御ビット	LED16点灯制御 0 : 消灯 1 : 点灯	0	W
6	LED6 LED15点灯制御ビット	LED15点灯制御 0 : 消灯 1 : 点灯	0	W
5	LED5 LED14点灯制御ビット	LED14点灯制御 0 : 消灯 1 : 点灯	0	W
4	LED4 LED13点灯制御ビット	LED13点灯制御 0 : 消灯 1 : 点灯	0	W
3	LED3 LED12点灯制御ビット	LED12点灯制御 0 : 消灯 1 : 点灯	0	W
2	LED2 LED11点灯制御ビット	LED11点灯制御 0 : 消灯 1 : 点灯	0	W
1	LED1 LED10点灯制御ビット	LED10点灯制御 0 : 消灯 1 : 点灯	0	W
0	LED0 LED9点灯制御ビット	LED9点灯制御 0 : 消灯 1 : 点灯	0	W

## 3.3.20. ボードバージョン情報レジスタ(BVERREG)

本レジスタには、ボードのバージョンが格納されています。

FPGAバージョン情報レジスタ(BVERREG)

<アドレス : H'0400\_0038>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	BVER	BVER	BVER	BVER	BREV	BREV	BREV	BREV
								3	2	1	0	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1

b	ビット名	機能	R	W
15 ~ 8	何も配置されていません		0	-
7	BVER3 ボードバージョン情報ビット3	バージョン情報	0	-
6	BVER2 ボードバージョン情報ビット2		0	-
5	BVER1 ボードバージョン情報ビット1		0	-
4	BVER0 ボードバージョン情報ビット0		1	-
3	BREV3 ボードリビジョン情報ビット3	リビジョン情報	0	-
2	BREV2 ボードリビジョン情報ビット2		0	-
1	BREV1 ボードリビジョン情報ビット1		0	-
0	BREV0 ボードリビジョン情報ビット0		1	-

## 3.3.21. GPIOデータ0グループレジスタ(GPIO\_DATA\_0G)

本レジスタは、SHバス拡張インタフェースコネクタに接続した汎用IOポートの制御を行います。尚、本レジスタは、GPIO\_DIR\_0Gとセットで使用します。

GPIOデータ0グループレジスタ(GPIO\_DATA\_0G)

&lt;アドレス : H'0400\_0040&gt;

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GPIO_DATA 15	GPIO_DATA 14	GPIO_DATA 13	GPIO_DATA 12	GPIO_DATA 11	GPIO_DATA 10	GPIO_DATA 9	GPIO_DATA 8	GPIO_DATA 7	GPIO_DATA 6	GPIO_DATA 5	GPIO_DATA 4	GPIO_DATA 3	GPIO_DATA 2	GPIO_DATA 1	GPIO_DATA 0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W
15	GPIO_DATA15 FPGA GPIO15制御ビット	GPIO_DIR_0Gのb15の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO15から”L”出力 1：FPGA_GPIO15から”H”出力 入力設定時：FPGA_GPIO15の状態	R	W
14	GPIO_DATA14 FPGA GPIO14制御ビット	GPIO_DIR_0Gのb14の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO14から”L”出力 1：FPGA_GPIO14から”H”出力 入力設定時：FPGA_GPIO14の状態	R	W
13	GPIO_DATA13 FPGA GPIO13制御ビット	GPIO_DIR_0Gのb13の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO13から”L”出力 1：FPGA_GPIO13から”H”出力 入力設定時：FPGA_GPIO13の状態	R	W
12	GPIO_DATA12 FPGA GPIO12制御ビット	GPIO_DIR_0Gのb12の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO12から”L”出力 1：FPGA_GPIO12から”H”出力 入力設定時：FPGA_GPIO12の状態	R	W
11	GPIO_DATA11 FPGA GPIO11制御ビット	GPIO_DIR_0Gのb11の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO11から”L”出力 1：FPGA_GPIO11から”H”出力 入力設定時：FPGA_GPIO11の状態	R	W
10	GPIO_DATA10 FPGA GPIO10制御ビット	GPIO_DIR_0Gのb10の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO10から”L”出力 1：FPGA_GPIO10から”H”出力 入力設定時：FPGA_GPIO10の状態	R	W
9	GPIO_DATA9 FPGA GPIO9制御ビット	GPIO_DIR_0Gのb9の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO09から”L”出力 1：FPGA_GPIO09から”H”出力 入力設定時：FPGA_GPIO09の状態	R	W
8	GPIO_DATA8 FPGA GPIO8制御ビット	GPIO_DIR_0Gのb8の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO08から”L”出力 1：FPGA_GPIO08から”H”出力 入力設定時：FPGA_GPIO08の状態	R	W

7	GPIO_DATA7 FPGA GPIO7制御ビット	GPIO_DIR_0Gのb7の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO07から”L”出力 1：FPGA_GPIO07から”H”出力 入力設定時：FPGA_GPIO07の状態	R	W
6	GPIO_DATA6 FPGA GPIO6制御ビット	GPIO_DIR_0Gのb6の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO06から”L”出力 1：FPGA_GPIO06から”H”出力 入力設定時：FPGA_GPIO06の状態	R	W
5	GPIO_DATA5 FPGA GPIO5制御ビット	GPIO_DIR_0Gのb5の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO05から”L”出力 1：FPGA_GPIO05から”H”出力 入力設定時：FPGA_GPIO05の状態	R	W
4	GPIO_DATA4 FPGA GPIO4制御ビット	GPIO_DIR_0Gのb4の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO04から”L”出力 1：FPGA_GPIO04から”H”出力 入力設定時：FPGA_GPIO04の状態	R	W
3	GPIO_DATA3 FPGA GPIO3制御ビット	GPIO_DIR_0Gのb3の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO03から”L”出力 1：FPGA_GPIO03から”H”出力 入力設定時：FPGA_GPIO03の状態	R	W
2	GPIO_DATA2 FPGA GPIO2制御ビット	GPIO_DIR_0Gのb2の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO02から”L”出力 1：FPGA_GPIO02から”H”出力 入力設定時：FPGA_GPIO02の状態	R	W
1	GPIO_DATA1 FPGA GPIO1制御ビット	GPIO_DIR_0Gのb1の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO01から”L”出力 1：FPGA_GPIO01から”H”出力 入力設定時：FPGA_GPIO01の状態	R	W
0	GPIO_DATA0 FPGA GPIO0制御ビット	GPIO_DIR_0Gのb0の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO00から”L”出力 1：FPGA_GPIO00から”H”出力 入力設定時：FPGA_GPIO00の状態	R	W

## 3.3.22. GPIOデータ1グループレジスタ(GPIO\_DATA\_1G)

本レジスタは、SHバス拡張インタフェースコネクタに接続した汎用IOポートの制御を行います。尚、本レジスタは、GPIO\_DIR\_1Gとセットで使用します。

GPIOデータ1グループレジスタ(GPIO\_DATA\_1G)

&lt;アドレス : H'0400\_0042&gt;

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GPIO_DATA 31	GPIO_DATA 30	GPIO_DATA 29	GPIO_DATA 28	GPIO_DATA 27	GPIO_DATA 26	GPIO_DATA 25	GPIO_DATA 24	GPIO_DATA 23	GPIO_DATA 22	GPIO_DATA 21	GPIO_DATA 20	GPIO_DATA 19	GPIO_DATA 18	GPIO_DATA 17	GPIO_DATA 16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W
15	GPIO_DATA31 FPGA GPIO31制御ビット	GPIO_DIR_0Gのb31の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO31から”L”出力 1：FPGA_GPIO31から”H”出力 入力設定時：FPGA_GPIO31の状態	R	W
14	GPIO_DATA30 FPGA GPIO30制御ビット	GPIO_DIR_0Gのb30の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO30から”L”出力 1：FPGA_GPIO30から”H”出力 入力設定時：FPGA_GPIO30の状態	R	W
13	GPIO_DATA29 FPGA GPIO29制御ビット	GPIO_DIR_0Gのb29の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO29から”L”出力 1：FPGA_GPIO29から”H”出力 入力設定時：FPGA_GPIO29の状態	R	W
12	GPIO_DATA28 FPGA GPIO28制御ビット	GPIO_DIR_0Gのb28の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO28から”L”出力 1：FPGA_GPIO28から”H”出力 入力設定時：FPGA_GPIO28の状態	R	W
11	GPIO_DATA27 FPGA GPIO27制御ビット	GPIO_DIR_0Gのb11の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO27から”L”出力 1：FPGA_GPIO27から”H”出力 入力設定時：FPGA_GPIO27の状態	R	W
10	GPIO_DATA26 FPGA GPIO26制御ビット	GPIO_DIR_0Gのb26の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO26から”L”出力 1：FPGA_GPIO26から”H”出力 入力設定時：FPGA_GPIO26の状態	R	W
9	GPIO_DATA25 FPGA GPIO25制御ビット	GPIO_DIR_0Gのb25の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO25から”L”出力 1：FPGA_GPIO25から”H”出力 入力設定時：FPGA_GPIO25の状態	R	W
8	GPIO_DATA24 FPGA GPIO24制御ビット	GPIO_DIR_0Gのb24の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO24から”L”出力 1：FPGA_GPIO24から”H”出力 入力設定時：FPGA_GPIO24の状態	R	W

7	GPIO_DATA23 FPGA GPIO23制御ビット	GPIO_DIR_0Gのb23の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO23から”L”出力 1：FPGA_GPIO23から”H”出力 入力設定時：FPGA_GPIO23の状態	R	W
6	GPIO_DATA22 FPGA GPIO22制御ビット	GPIO_DIR_0Gのb22の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO22から”L”出力 1：FPGA_GPIO22から”H”出力 入力設定時：FPGA_GPIO22の状態	R	W
5	GPIO_DATA21 FPGA GPIO21制御ビット	GPIO_DIR_0Gのb21の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO21から”L”出力 1：FPGA_GPIO21から”H”出力 入力設定時：FPGA_GPIO21の状態	R	W
4	GPIO_DATA20 FPGA GPIO20制御ビット	GPIO_DIR_0Gのb20の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO20から”L”出力 1：FPGA_GPIO20から”H”出力 入力設定時：FPGA_GPIO20の状態	R	W
3	GPIO_DATA19 FPGA GPIO19制御ビット	GPIO_DIR_0Gのb19の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO19から”L”出力 1：FPGA_GPIO19から”H”出力 入力設定時：FPGA_GPIO19の状態	R	W
2	GPIO_DATA18 FPGA GPIO18制御ビット	GPIO_DIR_0Gのb18の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO18から”L”出力 1：FPGA_GPIO18から”H”出力 入力設定時：FPGA_GPIO18の状態	R	W
1	GPIO_DATA17 FPGA GPIO17制御ビット	GPIO_DIR_0Gのb17の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO17から”L”出力 1：FPGA_GPIO17から”H”出力 入力設定時：FPGA_GPIO17の状態	R	W
0	GPIO_DATA16 FPGA GPIO16制御ビット	GPIO_DIR_0Gのb16の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO16から”L”出力 1：FPGA_GPIO16から”H”出力 入力設定時：FPGA_GPIO16の状態	R	W

## 3.3.23. GPIOデータ2グループレジスタ(GPIO\_DATA\_2G)

本レジスタは、SHバス拡張インタフェースコネクタに接続した汎用IOポートの制御を行います。尚、本レジスタは、GPIO\_DIR\_2Gとセットで使用します。

GPIOデータ2グループレジスタ(GPIO\_DATA\_2G)

&lt;アドレス：H'0400\_0044&gt;

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GPIO_DATA 47	GPIO_DATA 46	GPIO_DATA 45	GPIO_DATA 44	GPIO_DATA 43	GPIO_DATA 42	GPIO_DATA 41	GPIO_DATA 40	GPIO_DATA 39	GPIO_DATA 38	GPIO_DATA 37	GPIO_DATA 36	GPIO_DATA 35	GPIO_DATA 34	GPIO_DATA 33	GPIO_DATA 32
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W
15	GPIO_DATA47 FPGA GPIO47制御ビット	GPIO_DIR_0Gのb47の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO47から”L”出力 1：FPGA_GPIO47から”H”出力 入力設定時：FPGA_GPIO47の状態	R	W
14	GPIO_DATA46 FPGA GPIO46制御ビット	GPIO_DIR_0Gのb46の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO46から”L”出力 1：FPGA_GPIO46から”H”出力 入力設定時：FPGA_GPIO46の状態	R	W
13	GPIO_DATA45 FPGA GPIO45制御ビット	GPIO_DIR_0Gのb45の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO45から”L”出力 1：FPGA_GPIO45から”H”出力 入力設定時：FPGA_GPIO45の状態	R	W
12	GPIO_DATA44 FPGA GPIO44制御ビット	GPIO_DIR_0Gのb44の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO44から”L”出力 1：FPGA_GPIO44から”H”出力 入力設定時：FPGA_GPIO28の状態	R	W
11	GPIO_DATA43 FPGA GPIO43制御ビット	GPIO_DIR_0Gのb43の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO43から”L”出力 1：FPGA_GPIO43から”H”出力 入力設定時：FPGA_GPIO43の状態	R	W
10	GPIO_DATA42 FPGA GPIO42制御ビット	GPIO_DIR_0Gのb42の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO42から”L”出力 1：FPGA_GPIO42から”H”出力 入力設定時：FPGA_GPIO42の状態	R	W
9	GPIO_DATA41 FPGA GPIO41制御ビット	GPIO_DIR_0Gのb41の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO41から”L”出力 1：FPGA_GPIO41から”H”出力 入力設定時：FPGA_GPIO41の状態	R	W
8	GPIO_DATA40 FPGA GPIO24制御ビット	GPIO_DIR_0Gのb40の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO40から”L”出力 1：FPGA_GPIO40から”H”出力 入力設定時：FPGA_GPIO40の状態	R	W

7	GPIO_DATA39 FPGA GPIO39制御ビット	GPIO_DIR_0Gのb39の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO39から”L”出力 1：FPGA_GPIO39から”H”出力 入力設定時：FPGA_GPIO39の状態	R	W
6	GPIO_DATA38 FPGA GPIO38制御ビット	GPIO_DIR_0Gのb38の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO38から”L”出力 1：FPGA_GPIO38から”H”出力 入力設定時：FPGA_GPIO38の状態	R	W
5	GPIO_DATA37 FPGA GPIO37制御ビット	GPIO_DIR_0Gのb37の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO37から”L”出力 1：FPGA_GPIO37から”H”出力 入力設定時：FPGA_GPIO37の状態	R	W
4	GPIO_DATA36 FPGA GPIO36制御ビット	GPIO_DIR_0Gのb36の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO36から”L”出力 1：FPGA_GPIO36から”H”出力 入力設定時：FPGA_GPIO36の状態	R	W
3	GPIO_DATA35 FPGA GPIO35制御ビット	GPIO_DIR_0Gのb35の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO35から”L”出力 1：FPGA_GPIO35から”H”出力 入力設定時：FPGA_GPIO35の状態	R	W
2	GPIO_DATA34 FPGA GPIO34制御ビット	GPIO_DIR_0Gのb34の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO34から”L”出力 1：FPGA_GPIO34から”H”出力 入力設定時：FPGA_GPIO34の状態	R	W
1	GPIO_DATA33 FPGA GPIO33制御ビット	GPIO_DIR_0Gのb33の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO33から”L”出力 1：FPGA_GPIO33から”H”出力 入力設定時：FPGA_GPIO33の状態	R	W
0	GPIO_DATA32 FPGA GPIO32制御ビット	GPIO_DIR_0Gのb32の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO32から”L”出力 1：FPGA_GPIO32から”H”出力 入力設定時：FPGA_GPIO32の状態	R	W

## 3.3.24. GPIOデータ3グループレジスタ(GPIO\_DATA\_3G)

本レジスタは、SHバス拡張インタフェースコネクタに接続した汎用IOポートの制御を行います。尚、本レジスタは、GPIO\_DIR\_3Gとセットで使用します。

GPIOデータ2グループレジスタ(GPIO\_DATA\_2G)

<アドレス：H'0400\_0046>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	GPIO_ DATA 53	GPIO_ DATA 52	GPIO_ DATA 51	GPIO_ DATA 50	GPIO_ DATA 49	GPIO_ DATA 48
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W
15~6	何も配置されていません		0	-
5	GPIO_DATA53 FPGA GPIO53制御ビット	GPIO_DIR_0Gのb53の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO53から”L”出力 1：FPGA_GPIO53から”H”出力 入力設定時：FPGA_GPIO53の状態	R	W
4	GPIO_DATA52 FPGA GPIO52制御ビット	GPIO_DIR_0Gのb52の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO52から”L”出力 1：FPGA_GPIO52から”H”出力 入力設定時：FPGA_GPIO52の状態	R	W
3	GPIO_DATA51 FPGA GPIO51制御ビット	GPIO_DIR_0Gのb51の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO51から”L”出力 1：FPGA_GPIO51から”H”出力 入力設定時：FPGA_GPIO51の状態	R	W
2	GPIO_DATA50 FPGA GPIO50制御ビット	GPIO_DIR_0Gのb50の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO50から”L”出力 1：FPGA_GPIO50から”H”出力 入力設定時：FPGA_GPIO50の状態	R	W
1	GPIO_DATA49 FPGA GPIO49制御ビット	GPIO_DIR_0Gのb49の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO49から”L”出力 1：FPGA_GPIO49から”H”出力 入力設定時：FPGA_GPIO49の状態	R	W
0	GPIO_DATA48 FPGA GPIO48制御ビット	GPIO_DIR_0Gのb48の設定により入力/出力が切り替わります。 出力設定時：0：FPGA_GPIO48から”L”出力 1：FPGA_GPIO48から”H”出力 入力設定時：FPGA_GPIO48の状態	R	W

## 3.3.25. GPIO0グループDIRレジスタ(GPIO\_DIR\_0G)

本レジスタは、SHバス拡張インタフェースコネクタに接続した汎用IOポートのモード制御を行います。尚、本レジスタは、GPIO\_DATA\_0Gとセットで使用します。

GPIO0グループDIRレジスタ(GPIO\_DIR\_0G)

<アドレス : H'0400\_0048>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GPIO_DIR_15	GPIO_DIR_14	GPIO_DIR_13	GPIO_DIR_12	GPIO_DIR_11	GPIO_DIR_10	GPIO_DIR_9	GPIO_DIR_8	GPIO_DIR_7	GPIO_DIR_6	GPIO_DIR_5	GPIO_DIR_4	GPIO_DIR_3	GPIO_DIR_2	GPIO_DIR_1	GPIO_DIR_0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W
15	GPIO_DIR15 FPGA_GPIO15入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
14	GPIO_DIR14 FPGA_GPIO14入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
13	GPIO_DIR13 FPGA_GPIO13入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
12	GPIO_DIR12 FPGA_GPIO12入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
11	GPIO_DIR11 FPGA_GPIO11入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
10	GPIO_DIR10 FPGA_GPIO10入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
9	GPIO_DIR9 FPGA_GPIO9入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
8	GPIO_DIR8 FPGA_GPIO8入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
7	GPIO_DIR7 FPGA_GPIO7入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
6	GPIO_DIR6 FPGA_GPIO6入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
5	GPIO_DIR5 FPGA_GPIO5入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
4	GPIO_DIR4 FPGA_GPIO4入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
3	GPIO_DIR3 FPGA_GPIO3入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
2	GPIO_DIR2 FPGA_GPIO2入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
1	GPIO_DIR1 FPGA_GPIO1入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
0	GPIO_DIR0 FPGA_GPIO0入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W

## 3.3.26. GPIO1グループDIRレジスタ(GPIO\_DIR\_1G)

本レジスタは、SHバス拡張インタフェースコネクタに接続した汎用IOポートのモード制御を行います。尚、本レジスタは、GPIO\_DATA\_1Gとセットで使用します。

GPIO1グループDIRレジスタ(GPIO\_DIR\_1G)

<アドレス : H'0400\_004A>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GPIO_DIR_31	GPIO_DIR_30	GPIO_DIR_29	GPIO_DIR_28	GPIO_DIR_27	GPIO_DIR_26	GPIO_DIR_25	GPIO_DIR_24	GPIO_DIR_23	GPIO_DIR_22	GPIO_DIR_21	GPIO_DIR_20	GPIO_DIR_19	GPIO_DIR_18	GPIO_DIR_17	GPIO_DIR_16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W
15	GPIO_DIR31 FPGA_GPIO31入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
14	GPIO_DIR30 FPGA_GPIO30入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
13	GPIO_DIR29 FPGA_GPIO29入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
12	GPIO_DIR28 FPGA_GPIO28入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
11	GPIO_DIR27 FPGA_GPIO27入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
10	GPIO_DIR26 FPGA_GPIO26入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
9	GPIO_DIR25 FPGA_GPIO25入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
8	GPIO_DIR24 FPGA_GPIO24入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
7	GPIO_DIR23 FPGA_GPIO23入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
6	GPIO_DIR22 FPGA_GPIO22入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
5	GPIO_DIR21 FPGA_GPIO21入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
4	GPIO_DIR20 FPGA_GPIO20入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
3	GPIO_DIR19 FPGA_GPIO19入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
2	GPIO_DIR18 FPGA_GPIO18入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
1	GPIO_DIR17 FPGA_GPIO17入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
0	GPIO_DIR16 FPGA_GPIO16入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W

## 3.3.27. GPIO2グループDIRレジスタ(GPIO\_DIR\_2G)

本レジスタは、SHバス拡張インタフェースコネクタに接続した汎用IOポートのモード制御を行います。尚、本レジスタは、GPIO\_DATA\_2Gとセットで使用します。

GPIO2グループDIRレジスタ(GPIO\_DIR\_2G)

<アドレス : H'0400\_004C>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GPIO_DIR_47	GPIO_DIR_46	GPIO_DIR_45	GPIO_DIR_44	GPIO_DIR_43	GPIO_DIR_42	GPIO_DIR_41	GPIO_DIR_40	GPIO_DIR_39	GPIO_DIR_38	GPIO_DIR_37	GPIO_DIR_36	GPIO_DIR_35	GPIO_DIR_34	GPIO_DIR_33	GPIO_DIR_32
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W
15	GPIO_DIR47 FPGA_GPIO47入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
14	GPIO_DIR46 FPGA_GPIO46入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
13	GPIO_DIR45 FPGA_GPIO45入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
12	GPIO_DIR44 FPGA_GPIO44入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
11	GPIO_DIR43 FPGA_GPIO43入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
10	GPIO_DIR42 FPGA_GPIO42入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
9	GPIO_DIR41 FPGA_GPIO41入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
8	GPIO_DIR40 FPGA_GPIO40入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
7	GPIO_DIR39 FPGA_GPIO39入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
6	GPIO_DIR38 FPGA_GPIO38入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
5	GPIO_DIR37 FPGA_GPIO37入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
4	GPIO_DIR36 FPGA_GPIO36入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
3	GPIO_DIR35 FPGA_GPIO35入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
2	GPIO_DIR34 FPGA_GPIO34入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
1	GPIO_DIR33 FPGA_GPIO33入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W
0	GPIO_DIR32 FPGA_GPIO32入出力モード設定ビット	0 : 入力モード 1 : 出力モード	R	W

## 3.3.28. GPIO3グループDIRレジスタ(GPIO\_DIR\_3G)

本レジスタは、SHバス拡張インタフェースコネクタに接続した汎用IOポートのモード制御を行います。尚、本レジスタは、GPIO\_DATA\_3Gとセットで使用します。

GPIO3グループDIRレジスタ(GPIO\_DIR\_3G)

<アドレス：H'0400\_004E>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	GPIO _DIR 53	GPIO _DIR 52	GPIO _DIR 51	GPIO _DIR 50	GPIO _DIR 49	GPIO _DIR 48
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W
15~6	何も配置されていません		0	-
5	GPIO_DIR53 FPGA_GPIO53入出力モード設定ビット	0：入力モード 1：出力モード	R	W
4	GPIO_DIR52 FPGA_GPIO52入出力モード設定ビット	0：入力モード 1：出力モード	R	W
3	GPIO_DIR51 FPGA_GPIO51入出力モード設定ビット	0：入力モード 1：出力モード	R	W
2	GPIO_DIR50 FPGA_GPIO50入出力モード設定ビット	0：入力モード 1：出力モード	R	W
1	GPIO_DIR49 FPGA_GPIO49入出力モード設定ビット	0：入力モード 1：出力モード	R	W
0	GPIO_DIR48 FPGA_GPIO48入出力モード設定ビット	0：入力モード 1：出力モード	R	W

## 3.3.29. 拡張ボードステータスレジスタ(EXT\_PRST)

本レジスタは、拡張ボードの実装状態を示します。FPGAのEXT\_PRST端子のLレベルを検出します。

拡張ボードステータスレジスタ(EXT\_PRST)

<アドレス：H'0400\_0050>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EXT _PRST N
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W
15~1	何も配置されていません		0	-
0	EXT_PRSTN 拡張ボード検出ビット	0：拡張ボード未実装 1：拡張ボード実装	R	-

## 3.3.30. FROMボードリセット出力制御レジスタ(FROMRST)

本レジスタは、

FROMボードリセット出力制御レジスタ(FROMRST)

<アドレス：H'0400\_0052

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	FROM _RST
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W
15~1	何も配置されていません			
0	FROM_RST FROMボードへのリセット出力制御ビット	0：無効 1：リセット出力(約10usecのパルス幅)	0	W

3.3.31. LCDバックライト電源制御レジスタ(LCDPOW)

本レジスタは、LCD用バックライトへの電源供給を制御します。

LCDバックライト電源制御レジスタ(LCDPOW)

<アドレス：H'0400\_0054>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_EN
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W
15~1	何も配置されていません		0	-
0	LCD_EN LCDバックライト用電源制御ビット	0：ON 1：OFF	R	W

3.3.32. SCIFシリアルモード制御レジスタ(SCSMR)

本レジスタは、FPGA内蔵SCIFブロックのモード制御を行います。本SCIFは調歩同期式でのみ動作します。

SCIFシリアルモード制御レジスタ(SCSMR)

<アドレス：H'0400\_0100>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	CHR	PE	O_En	STOP	-	CKS1	CKS0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W
15~7	何も配置されていません		0	-
6	CHR データ長設定ビット	0：8ビット 1：7ビット	R	W
5	PE パリティビット制御ビット	0：無し 1：有り	R	W
4	O_En パリティビット設定ビット	0：偶数 1：奇数	R	W
3	STOP ストップビット設定ビット	0：1ビット 1：2ビット	R	W
2	何も配置していません		0	-
1	CKS1 クロック分周設定ビット1	クロック分周設定		
		b1	b0	クロック
0	CKS0 クロック分周設定ビット0	CKS1	CKS0	
		0	0	
		0	1	/4
		1	0	/16
		1	1	/64

3.3.33. SCIFビットレート制御レジスタ(SCBRR)

本レジスタは、FPGA内蔵SCIFブロックの送受信ビットレートを制御します。

SCIFビットレート制御レジスタ(SCBRR)

<アドレス : H'0400\_0104>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	N7	N6	N5	N4	N3	N2	N1	N0
0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

b	ビット名	機能	R	W
15~8	何も配置していません		0	-
7	N7 ビットレート設定ビット7	3.3.31.1 SCBRRの設定値計算方法の章を参照してください。	R	W
6	N6 ビットレート設定ビット6		R	W
5	N5 ビットレート設定ビット5		R	W
4	N4 ビットレート設定ビット4		R	W
3	N3 ビットレート設定ビット3		R	W
2	N2 ビットレート設定ビット2		R	W
1	N1 ビットレート設定ビット1		R	W
0	N0 ビットレート設定ビット0		R	W

3.3.33.1. SCBRRの設定値計算方法

SCBRRの設定値は以下の計算式で求められます。

$$N = \frac{P}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

- B : ビットレート(bit/sec)
- N : SCBRRの設定値(0 N 255)
- P : 動作周波数(MHz)
- n : SCSMRのCKS1,CKS0の設定値(n = 0,1,2,3)

ビットレート誤差は、以下の計算式で求められます。

$$\text{誤差(\%)} = \left\{ \frac{P \times 10^6}{(N + 1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

3.3.34. SCIF制御レジスタ(SCSCR)

本レジスタは、FPGA内蔵SCIFブロックの送受信制御を行います。

SCIF制御レジスタ(SCSCR)

<アドレス：H'0400\_0108>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	TIE	RIE	TE	RE	REIE	-	CKE1	CKE0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W
15~8	何も配置されていません		0	-
7	TIE 送信FIFOデータエンプティ割込み制御ビット	0：割込み禁止 1：割込み許可	R	W
6	RIE 受信(データ(RXI)、エラー(ERI)、ブレーク(BRI))割込み制御ビット	0：割込み禁止 1：割込み許可	R	W
5	TE 送信動作制御ビット	0：禁止 1：許可	R	W
4	RE 受信動作制御ビット	0：禁止 1：許可	R	W
3	REIE 受信(エラー(ERI)、ブレーク(BRI))割込み制御ビット *RIEビット(b6) = 0の場合に有効	0：割込み禁止 1：割込み許可	R	W
2	何も配置されていません		0	-
1	CKE1 基準クロック選択ビット1	基準クロック選択		
		b1	b0	SCK端子機能
0	CKE0 基準クロック選択ビット0	CKE1	CKE0	入力ポート
		0	0	クロック出力
		0	1	1.8432MHz
		1	0	外部入力クロック
		1	1	外部入力クロック

## 3.3.35. SCIF送信FIFOレジスタ(SCFTDR)

本レジスタは、FPGA内蔵SCIFブロックの送信データを格納します。

SCIF送信FIFOレジスタ(SCFTDR)

<アドレス : H'0400\_010C>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	TD7	TD6	TD5	TD4	TD3	TD2	TD1	TD0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W
7	TD7 送信データビット7	送信データ	0	-
6	TD6 送信データビット6		-	W
5	TD5 送信データビット5		-	W
4	TD4 送信データビット4		-	W
3	TD3 送信データビット3		-	W
2	TD2 送信データビット2		-	W
1	TD1 送信データビット1		-	W
0	TD0 送信データビット0		-	W

## 3.3.36. SCIFステータス制御レジスタ(SCFSR)

本レジスタは、FPGA内蔵シリアルブロックのステータス情報をモニタする為に使用します。

(W)については、クリアの為"0"ライトのみ有効です。

SCIFステータス制御レジスタ(SCFSR)

<アドレス : H'0400\_0110>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PER3	PER2	PER1	PER0	FER3	FER2	FER1	FER0	ER	TEND	TDFE	BRK	FER	PER	RDF	DR
0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0

b	ビット名	機能	R	W
15	PER3 受信データパリティエラー数カウントビット3	SCFRDRに格納されている受信データのうちパリティエラーの発生しているデータ数を示します。 * 16バイトすべての受信データがパリティエラーを伴う場合、PER3:0は"0000"となります。	R	-
14	PER2 受信データパリティエラー数カウントビット2		R	-
13	PER1 受信データパリティエラー数カウントビット1		R	-
12	PER0 受信データパリティエラー数カウントビット0		R	-
11	FER3 受信データフレーミングエラー数カウントビット3	SCFRDRに格納されている受信データのうちフレーミングエラーの発生しているデータ数を示します。 * 16バイトすべての受信データがフレーミングエラーを伴う場合、FER3:0は"0000"となります。	R	-
10	FER2 受信データフレーミングエラー数カウントビット2		R	-
9	FER1 受信データフレーミングエラー数カウントビット1		R	-
8	FER0 受信データフレーミングエラー数カウントビット0		R	-
7	ER 受信データエラー検出ビット	0 : エラー無し 1 : パリティ及びフレーミングエラー有り	R	(W)
6	TEND 送信終了ビット	0 : 送信中 1 : 送信終了	R	(W)
5	TDFE 送信FIFOデータステータスビット	0 : 送信トリガ設定数より多い送信データが書き込まれた 1 : 送信データが送信トリガ設定数以下	R	(W)
4	BRK 受信データブレーク検出ビット	0 : ブレーク信号受信無し 1 : ブレーク信号を受信した	R	(W)
3	FER フレーミングエラー検出ビット	0 : フレーミングエラー無し 1 : フレーミングエラー有り	R	-
2	PER パリティエラー検出ビット	0 : パリティエラー無し 1 : パリティエラー有り	R	-
1	RDF 受信FIFOデータステータスビット	0 : 受信トリガ設定数より多い受信データが書き込まれた 1 : 受信データが受信トリガ設定数以下	R	(W)
0	DR レシーブデータレディビット	0 : 受信中または、正常に受信完了しSCFRDRにデータが残っていない 1 : 最後に受信したデータのストップビットから1.5フレーム時間以上次の受信データが来ない	R	(W)

## 3.3.36.1. FPGA内蔵SCIFブロックの割込みについて

図3.3.36.1にFPGA内蔵SCIFブロックの割込み論理図を示します。また、表3.3.36.1にFPGA内蔵SCIFブロック割り込み元レジスタビットを示します。

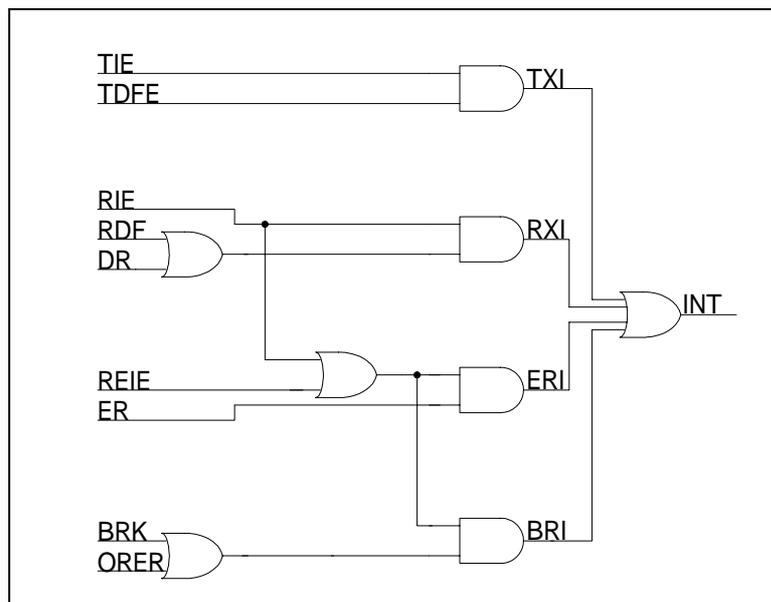


図3.3.36.1 FPGA内蔵SCIFブロックの割込み論理図

表3.3.36.1 FPGA内蔵SCIFブロック割り込み元レジスタビット

信号(ビット)名	内容
TIE	送信FIFOデータエンプティ割込み
RIE	受信(データ(RXI)、エラー(ERI)、ブレーク(BRI))割込み
REIE	受信(エラー(ERI)、ブレーク(BRI))割込み
TDFE	送信FIFOデータステータス
RDF	受信FIFOデータステータス
DR	レシーブデータレディ
ER	受信データエラー
BRK	受信データブレーク
ORER	オーバランエラー

## 3.3.37. SCIF受信FIFOレジスタ(SCFRDR)

本レジスタは、FPGA内蔵SCIFブロックの受信データを格納します。

SCIF受信FIFOレジスタ(SCFRDR)

<アドレス : H'0400\_0114>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W
15~8	何も配置されていません		0	-
7	RD7 受信データビット7	受信データ	R	-
6	RD6 受信データビット6		R	-
5	RD5 受信データビット5		R	-
4	RD4 受信データビット4		R	-
3	RD3 受信データビット3		R	-
2	RD2 受信データビット2		R	-
1	RD1 受信データビット1		R	-
0	RD0 受信データビット0		R	-

3.3.38. SCIF FIFO制御レジスタ(SCFCR)

本レジスタは、FPGA内蔵シリアルブロックのFIFO制御を行います。

SCIF FIFO制御レジスタ(SCFCR)

<アドレス：H'0400\_0118>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	RS TRG2	RS TRG1	RS TRG0	R TRG1	R TRG0	T TRG1	T TRG0	MCE	TFRST	RFRST	LOOP
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W																																								
15	何も配置されていません		0	-																																								
10	RSTRG2 RTS出力トリガビット2	受信FIFO内に格納された受信データ数が RTS信号にハイレベルを出力する規定数 <table border="1"> <tr> <td>b10</td><td>b9</td><td>b8</td><td>RTS 出力 トリガ</td> </tr> <tr> <td>RSTRG2</td><td>RSTRG1</td><td>RSTRG0</td><td></td> </tr> <tr> <td>0</td><td>0</td><td>0</td><td>15</td> </tr> <tr> <td>0</td><td>0</td><td>1</td><td>1</td> </tr> <tr> <td>0</td><td>1</td><td>0</td><td>4</td> </tr> <tr> <td>0</td><td>1</td><td>1</td><td>6</td> </tr> <tr> <td>1</td><td>0</td><td>0</td><td>8</td> </tr> <tr> <td>1</td><td>0</td><td>1</td><td>10</td> </tr> <tr> <td>1</td><td>1</td><td>0</td><td>12</td> </tr> <tr> <td>1</td><td>1</td><td>1</td><td>14</td> </tr> </table>	b10	b9	b8	RTS 出力 トリガ	RSTRG2	RSTRG1	RSTRG0		0	0	0	15	0	0	1	1	0	1	0	4	0	1	1	6	1	0	0	8	1	0	1	10	1	1	0	12	1	1	1	14	R	W
b10	b9	b8	RTS 出力 トリガ																																									
RSTRG2	RSTRG1	RSTRG0																																										
0	0	0	15																																									
0	0	1	1																																									
0	1	0	4																																									
0	1	1	6																																									
1	0	0	8																																									
1	0	1	10																																									
1	1	0	12																																									
1	1	1	14																																									
9	RSTRG1 RTS出力トリガビット1		R	W																																								
8	RSTRG0 RTS出力トリガビット0		R	W																																								
7	RTRG1 受信FIFOデータ数トリガビット1	SCFSRのRDFフラグをセットする受信データ数 <table border="1"> <tr> <td>b7</td><td>b6</td><td>受信トリガ 数</td> </tr> <tr> <td>RTRG1</td><td>RTRG0</td><td></td> </tr> <tr> <td>0</td><td>0</td><td>1</td> </tr> <tr> <td>0</td><td>1</td><td>4</td> </tr> <tr> <td>1</td><td>0</td><td>8</td> </tr> <tr> <td>1</td><td>1</td><td>14</td> </tr> </table>	b7	b6	受信トリガ 数	RTRG1	RTRG0		0	0	1	0	1	4	1	0	8	1	1	14	R	W																						
b7	b6	受信トリガ 数																																										
RTRG1	RTRG0																																											
0	0	1																																										
0	1	4																																										
1	0	8																																										
1	1	14																																										
6	RTRG0 受信FIFOデータ数トリガビット0		R	W																																								
5	TTRG1 送信FIFOデータ数トリガビット1	SCFSRのTDFEフラグをセットする受信データ数 <table border="1"> <tr> <td>b5</td><td>b4</td><td>送信トリガ 数</td> </tr> <tr> <td>TTRG1</td><td>TTRG0</td><td></td> </tr> <tr> <td>0</td><td>0</td><td>8</td> </tr> <tr> <td>0</td><td>1</td><td>4</td> </tr> <tr> <td>1</td><td>0</td><td>2</td> </tr> <tr> <td>1</td><td>1</td><td>1</td> </tr> </table>	b5	b4	送信トリガ 数	TTRG1	TTRG0		0	0	8	0	1	4	1	0	2	1	1	1	R	W																						
b5	b4	送信トリガ 数																																										
TTRG1	TTRG0																																											
0	0	8																																										
0	1	4																																										
1	0	2																																										
1	1	1																																										
4	TTRG0 送信FIFOデータ数トリガビット0		R	W																																								
3	MCE モデムコントロールイネーブルビット	モデムコントロール信号CTS,RTSを有効に します。 0：無効 1：有効	R	W																																								
2	TFRST 送信FIFOデータレジスタリセットビット	0：リセット動作を禁止 1：リセット動作を許可	R	W																																								
1	RFRST 受信FIFOデータレジスタリセットビット	0：リセット動作を禁止 1：リセット動作を許可	R	W																																								
0	LOOP ループバック	TxDとRxD、RTSとCTSを内部で接続し 0：ループバックテストを禁止 1：ループバックテストを許可	R	W																																								

## 3.3.39. SCIF FIFOデータ数レジスタ(SCFDR)

本レジスタは、送信FIFOレジスタ(SCFTDR)及び受信FIFOレジスタ(SCFRDR)に格納されているデータ数を示します。

SCIF FIFOデータ数レジスタ(SCFDR)

<アドレス : H'0400\_011C>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	T4	T3	T2	T1	T0	-	-	-	R4	R3	R2	R1	R0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W
15 ~ 13	何も配置されていません		0	-
12	T4 送信FIFOデータ数表示ビット4	SCFTDR内に格納されている未送信のデータ数を示します。 H'00は送信データがないことを、H'10はSCFTDRに一杯の送信データが格納されていることを示します。	R	-
11	T3 送信FIFOデータ数表示ビット3		R	-
10	T2 送信FIFOデータ数表示ビット2		R	-
9	T1 送信FIFOデータ数表示ビット1		R	-
8	T0 送信FIFOデータ数表示ビット0		R	-
7 ~ 5	何も配置されていません		0	-
4	R4 受信FIFOデータ数表示ビット4	SCFRDR内に格納されている未受信のデータ数を示します。 H'00は受信データがないことを、H'10はSCFRDRに一杯の受信データが格納されていることを示します。	R	-
3	R3 受信FIFOデータ数表示ビット3		R	-
2	R2 受信FIFOデータ数表示ビット2		R	-
1	R1 受信FIFOデータ数表示ビット1		R	-
0	R0 受信FIFOデータ数表示ビット0		R	-

## 3.3.40. SCIFシリアルポートレジスタ(SCSPTR)

本レジスタは、FPGA内蔵SCIFブロックを入出力ポートとして使用できます。但し、RTS,CTS端子はSCFCRのMCEビットが“0”の時、SCK端子はSCSCRのCKE1,CKE0ビットが“00”の時、TxD端子はSCSCRのTEビットが“0”の時に有効となります。

SCIFシリアルポートレジスタ(SCSPTR)

&lt;アドレス : H'0400\_0120&gt;

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	RTSIO	RTS DT	CTSIO	CTS DT	SCK IO	SCK DT	SPB 2IO	SPB 2DT
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W
15~8	何も配置されていません		0	-
7	RTSIO RTS端子入出力制御ビット	0 : RTS端子にRTSDTビットの値を出力しません 1 : RTS端子にRTSDTビットの値を出力します	R	W
6	RTSDT RTS端子入出力データビット	0 : 入出力データが“L” 1 : 入出力データが“H”	R	W
5	CTSIO CTS端子出力制御ビット	0 : CTS端子にCTSDTビットの値を出力しません 1 : CTS端子にCTSDTビットの値を出力します	R	W
4	CTSDT CTS端子入出力データビット	0 : 入出力データが“L” 1 : 入出力データが“H”	R	W
3	SCKIO SCK端子出力制御ビット	0 : SCK端子にSCKDTビットの値を出力しません 1 : SCK端子にSCKDTビットの値を出力します	R	W
2	SCKDT SCK端子入出力データビット	0 : 入出力データが“L” 1 : 入出力データが“H”	R	W
1	SPB2IO SPB2端子出力制御ビット	0 : TxD端子にSPB2DTビットの値を出力しません 1 : TxD端子にSPB2DTビットの値を出力します	R	W
0	SPB2DT RxD及びTxD端子入出力データビット	0 : 入出力データが“L” 1 : 入出力データが“H”	R	W

## 3.3.41. SCIFラインステータスレジスタ(SCLSR)

本レジスタは、受信時にオーバーランエラーが発生して異常終了したことを示します。

(W)については、クリアの為”0”ライトのみ有効です。

SCIFラインステータスレジスタ(SCLSR)

<アドレス : H'0400\_0124>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	ORER
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b	ビット名	機能	R	W
15~1	何も配置されていません		0	-
0	ORER オーバーランエラー検出ビット	0 : 受信中または正常に受信を完了した 1 : 受信時にオーバーランエラーが発生した	R	(W)

## 4. 拡張ボード仕様

お客様にて本製品用の拡張ボードを作成される際は、以下の事項を遵守してください。

図4.1.1に拡張ボード寸法図を示します。

基板サイズは、縦方向は138.00mm固定です。横方向は、最長で147.00mm、最短で100.00mmとしてください。

CN13,14は部品面からの透視図です。端子番号も同様です。

拡張ボードはんだ面にはCN13,14以外の部品は実装しないでください。

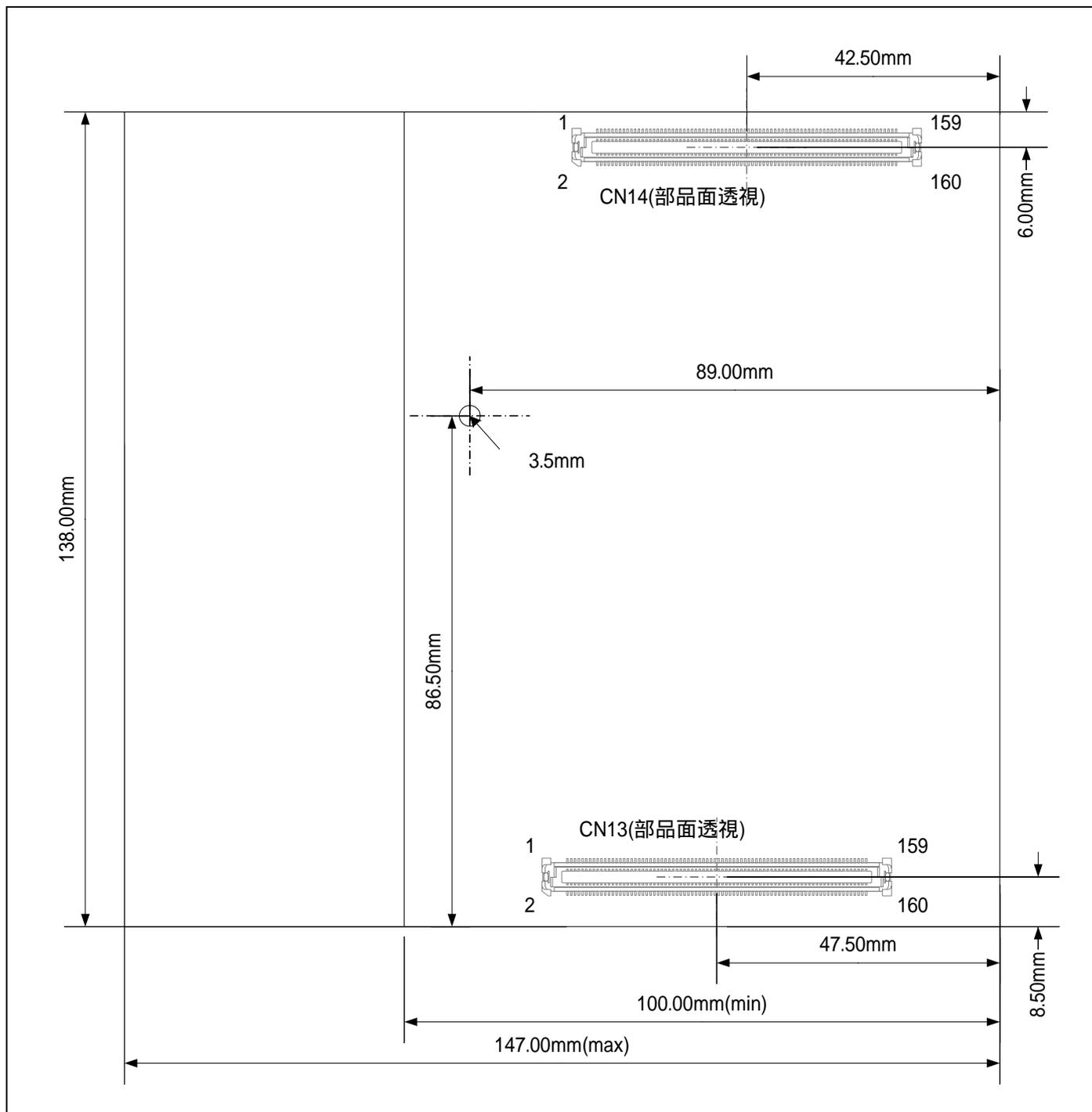


図4.1.1 拡張ボード寸法図

## 5. ブートローダ機能説明

### 5.1. ブートローダ機能一覧

本製品に同梱されているFROMボードにはLinuxを起動する為のブートローダが書き込まれています。ブートローダでサポートする機能を表5.1.1に示します。本章で使用しているzImageはLinuxカーネルイメージを指します。

表5.1.1 ブートローダ機能一覧

項番	コマンド	説明	備考
1	h または ?	コマンド一覧表示	
2	b	CFカードからのプログラムロード	
3	l	ライセンスについてのメッセージ表示	
4	w	保証(無し)についてのメッセージ表示	
5	n	Ethernetを使用するzImageのロード	eth0使用
6	z	zImage展開先へのプログラムカウンタ移動及び実行	
7	i	ボード情報表示	
8	v	ブートローダバージョン情報表示	

### 5.2. コマンド一覧表示

“h”または“?”入力で本ブートローダでサポートするコマンド一覧を表示します。

### 5.3. CFカードからのプログラムロード

“b”入力でCN9に挿入されているCFカードから格納されているzImageをダウンロードして起動します。zImageの書き込みには、お客様でLinuxOSがインストールされたホストPCを準備していただく必要があります。また、CFカードにzImageを書き込む場合には次のことを行ってください。

- (1)CFカードを準備していただき、EXT2フォーマットを行います。
- (2)CFカードにルートファイルシステムをコピーします。
- (3)CFカード内”/boot”下にzImageをコピーします。
- (4)liloコマンド実行によりカーネル更新を行ってください。

### 5.4. ライセンスについてのメッセージ表示

“l”入力で本ブートローダのライセンスについてのメッセージが表示されます。本メッセージの通り本ブートローダはフリーソフトウェア SH IPL+gを元に作成しています。

SH IPL+g is free software; you can redistribute it and/or modify it under the terms of the GNU Lesser General Public License as published by the Free Software Foundatin; either version 2.1 of the License, or (at your option) any later version.

### 5.5. 保証についてのメッセージ表示

“w”入力で本ブートローダの保証についてのメッセージが表示されます。本メッセージにあるように本ブートローダについての保証はありません。

SH IPL+g is distributed in the hope that it will be useful, but WITHOUT ANY WARRANTY; without even the implied warranty of MERCHANTABILITY or FITNESS FOR A PARTICULAR PURPOSE.

See the GNU Lesser General Public License for more details.

## 5.6. Ethernetを使用してのzImageのロード

“n”入力ですホストPC上のzImageをEthernet経由でダウンロードして起動します。使用するEthernetはeth0となりデバイス番号1のRTL8139DLを使用します。CN5のどこを使用しても問題ありません。対応するMACアドレスはMAC1側のアドレスになります。

但し、本コマンドを使用するためにはNFS(Network File System)環境を構築する必要があります。

## 5.7. zImage展開先へのプログラムカウンタ移動及び実行

“z”入力ですzImageの展開先にプログラムカウンタを移動し実行します。

## 5.8. ボード情報表示

“i”入力です本製品の情報を表示します。

<表示例>

CPU family	: SH4
CPU name	: SH7751R
cache size	: 8K-byte/16K-byte
CPU clock	: 240.00MHz
Bus clock	: 120.00MHz
Module clock	: 60.00MHz
FPGA Version	: 1.1

## 5.9. ブートローダバージョン情報表示

“v”入力です本ブートローダのバージョン情報を表示します。

## 6. 添付資料

### 6.1. R0P751RLC0011RL回路図

### 6.2. FROMボード回路図

---

SH7751R評価用プラットフォーム  
ユーザーズマニュアル  
R0P751RLC0011RL

発行年月日 2006年3月14日 Rev.1.00

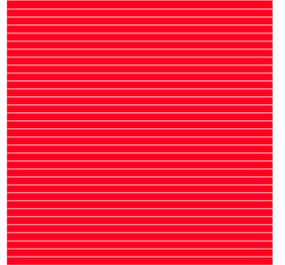
発行 株式会社 ルネサス テクノロジ  
〒100-0004 東京都千代田区大手町2-6-2

編集 株式会社 ルネサス ソリューションズ システム推進部

---

© 2006. Renesas Technology Corp. and Renesas Solutions Corp., All rights reserved. Printed in Japan.

R0P751RLC0011RL  
ユーザーズマニュアル



株式会社ルネサステクノロジ  
東京都千代田区大手町2-6-2 日本ビル 〒100-0004